

# Gliederung Kapitel 1 – Einführung

- 1.1 Entwurfsautomatisierung in der Elektronik (EDA)
- 1.2 Hinweise
- 1.3 Bedeutung der Entwurfsautomatisierung
- 1.4 Entwicklung der Entwurfsautomatisierung
- 1.5 Übersicht über den Entwurfsprozess
- 1.6 Entwurfsstile
- 1.7 Layoutebenen
- 1.8 Entwurfsregeln
- 1.9 Layoutsynthese als Optimierungsproblem
- 1.10 Rechenkomplexität der Layoutsynthese
- 1.11 Einteilung von Entwurfsalgorithmen
- 1.12 Lösungsqualität von Entwurfsalgorithmen
- 1.13 Graphentheoretische Grundbegriffe
- 1.14 Häufig verwendete Layoutbegriffe

## 1.1 Entwurfsautomatisierung in der Elektronik (EDA)

Entwurfsautomatisierung = Electronic Design Automation (EDA):

- ⇒ Entwicklung von Methoden, Algorithmen und Datenstrukturen zur Automatisierung des Entwurfs elektronischer Baugruppen (Schaltkreise, Hybridbaugruppen, Leiterplatten)
- ⇒ Einsatz von Computerprogrammen (Software) beim Entwurf einer elektronischen Baugruppe

## 1.1 Entwurfsautomatisierung in der Elektronik (EDA)

- Herausbildung der EDA-Industrie in den 80er und 90er Jahren, heutiger geschätzter Jahresumsatz 4 Milliarden US-Dollar
- Bedeutendste EDA-Firmen (2006): Cadence, Synopsys, Mentor
- Wichtige Konferenzen:
  - Design, Automation and Test in Europe (DATE)
  - Design Automation Conference (DAC)
  - International Conference on Computer-Aided Design (ICCAD)
  - PCB Design Conference West/East

## 1.2 Hinweise

- Behandlung von **Algorithmen** zur Automatisierung der **Layoutsynthese** (von der Netzliste bis zum fertigen, optimierten Layout), also „Wie funktionieren Programme zum Entwurf einer elektronischen Baugruppe? Wie werden diese Programme erstellt, wie kann man sie modifizieren?“
- Überwiegend Methoden der Layoutsynthese von **digitalen Schaltungen**, da höherer Automatisierungsgrad als bei analogen Schaltungen
- Berücksichtigung aller Hierarchie-Ebenen von elektronischen Baugruppen (Schaltkreise, Multichip-Module, Leiterplatten), jedoch **Fokussierung auf den Schaltkreis-Bereich**

### Literatur

- J. Lienig: „Layoutsynthese elektronischer Schaltungen – Grundlegende Algorithmen für die Entwurfsautomatisierung“, Springer Verlag, 2006

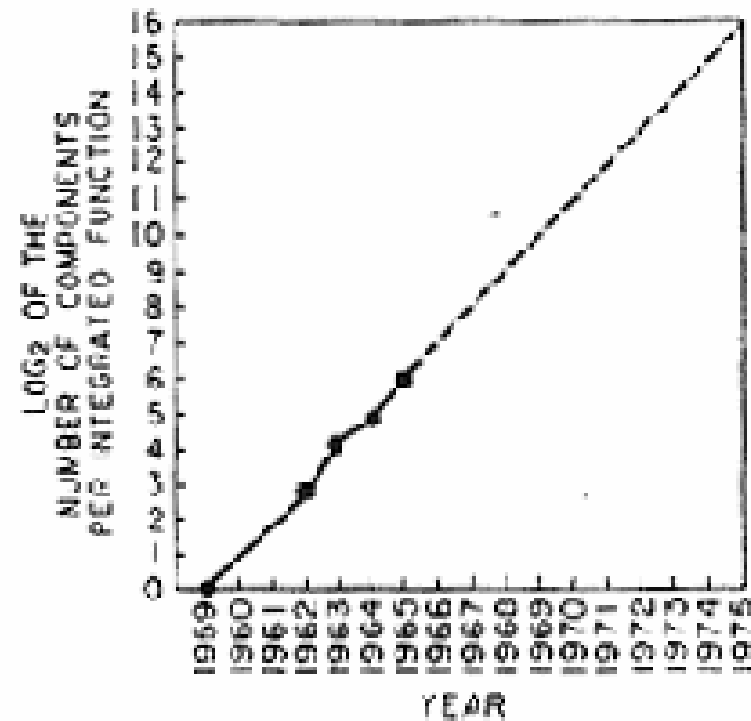
### Weiterführende Literatur

- T. Lengauer: „Combinatorial Algorithms for Integrated Circuit Layout“, B. G. Teubner Stuttgart, 1990
- S. M. Sait, H. Youssef: „VLSI Physical Design Automation“, World Scientific Publishing Co. Pte. Ltd., 1999, 2001
- N. Sherwani: „Algorithms for VLSI Physical Design Automation (Third Edition)“, Kluwer Academic Publishers, 1999, 2003
- S. H. Gerez: „Algorithms for VLSI Design Automation“, John Wiley and Sons, 1999, 2000

## 1.3 Bedeutung der Entwurfsautomatisierung: Moore's Law

### Moore's Law

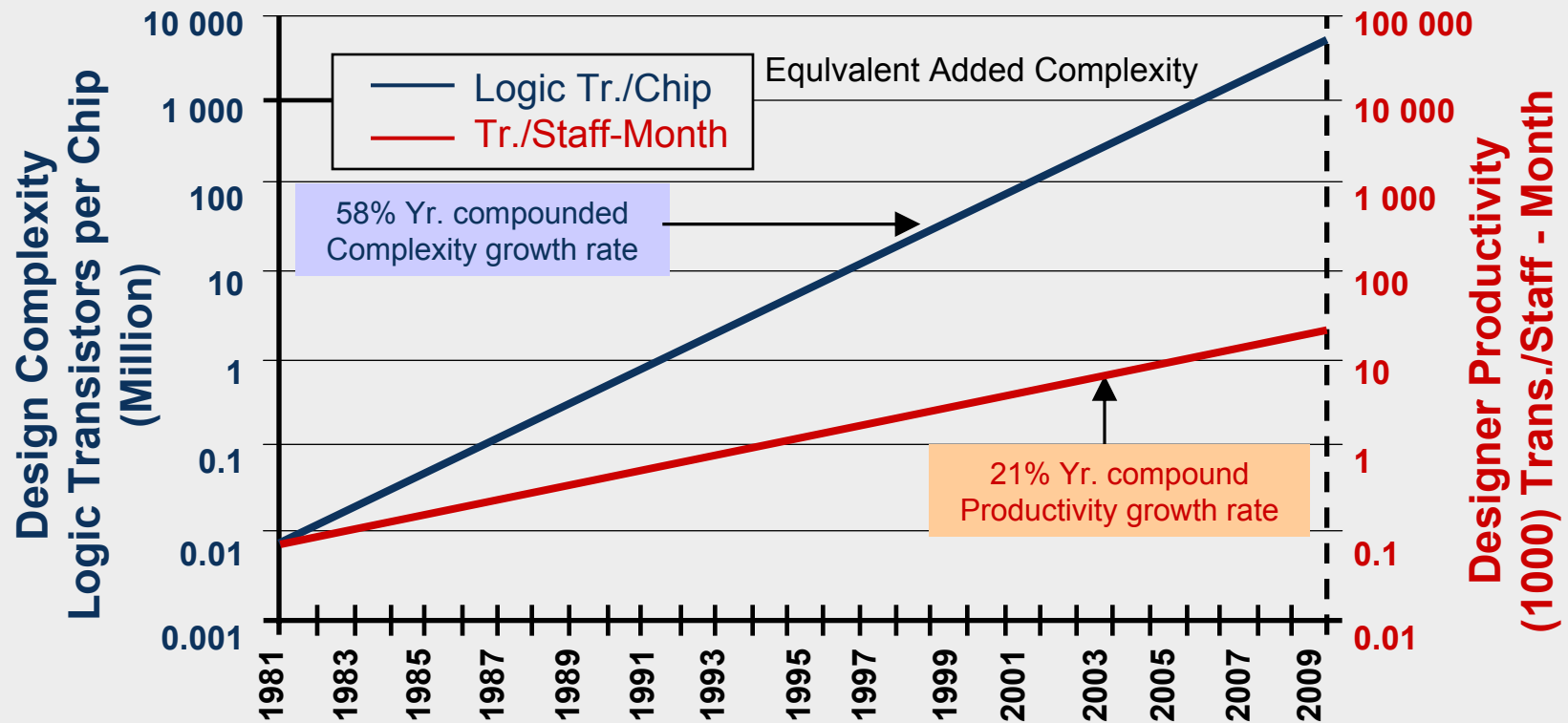
1965 stellte Gordon Moore (Fairchild) fest, dass sich die Anzahl der Transistoren in einer integrierten Schaltung alle 12 Monate verdoppelt. 10 Jahre später präzisierte er seine Aussagen dahingehend, dass diese Verdopplung aller 18 Monate eintritt, was als Moore's Law in die Geschichte einging.



Quelle: Moore: „Cramming more components onto integrated circuits“  
Electronics, Vol. 38, No. 8, 1965

## 1.3 Bedeutung der Entwurfsautomatisierung: Entwurfsschere

### Potential Design Complexity and Designer Productivity



Nach SIA Roadmap

## 1.3 Bedeutung der Entwurfsautomatisierung

### Notwendigkeit von EDA-Kenntnissen

- EDA-Firmen: Software-Entwickler (Tool-Entwickler)  
Entwicklung von Strategien, Algorithmen sowie Software zur Erstellung und Weiterentwicklung von Entwurfswerkzeugen
- Firmen der Elektrotechnik/Elektronik:
  - CAD-Tool-Manager in einer Unterstützungsabteilung (Tool-Support) für den IC/LP-Entwurf
  - Anwender eines CAD-Tools (z.B. in einer Entwicklungsabteilung für den Schaltkreisentwurf)Entwicklung von Strategien, Algorithmen und Software zur Anpassung der kommerziell erworbenen Entwurfswerkzeuge an die konkreten Aufgabenstellungen innerhalb der Firma

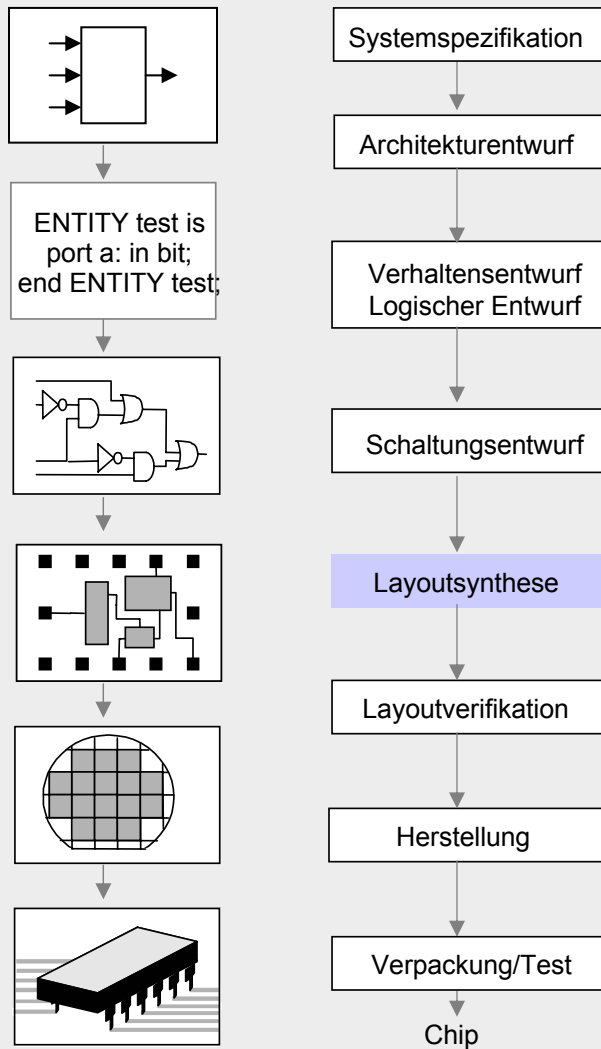


## 1.4 Entwicklung der Layoutsynthese

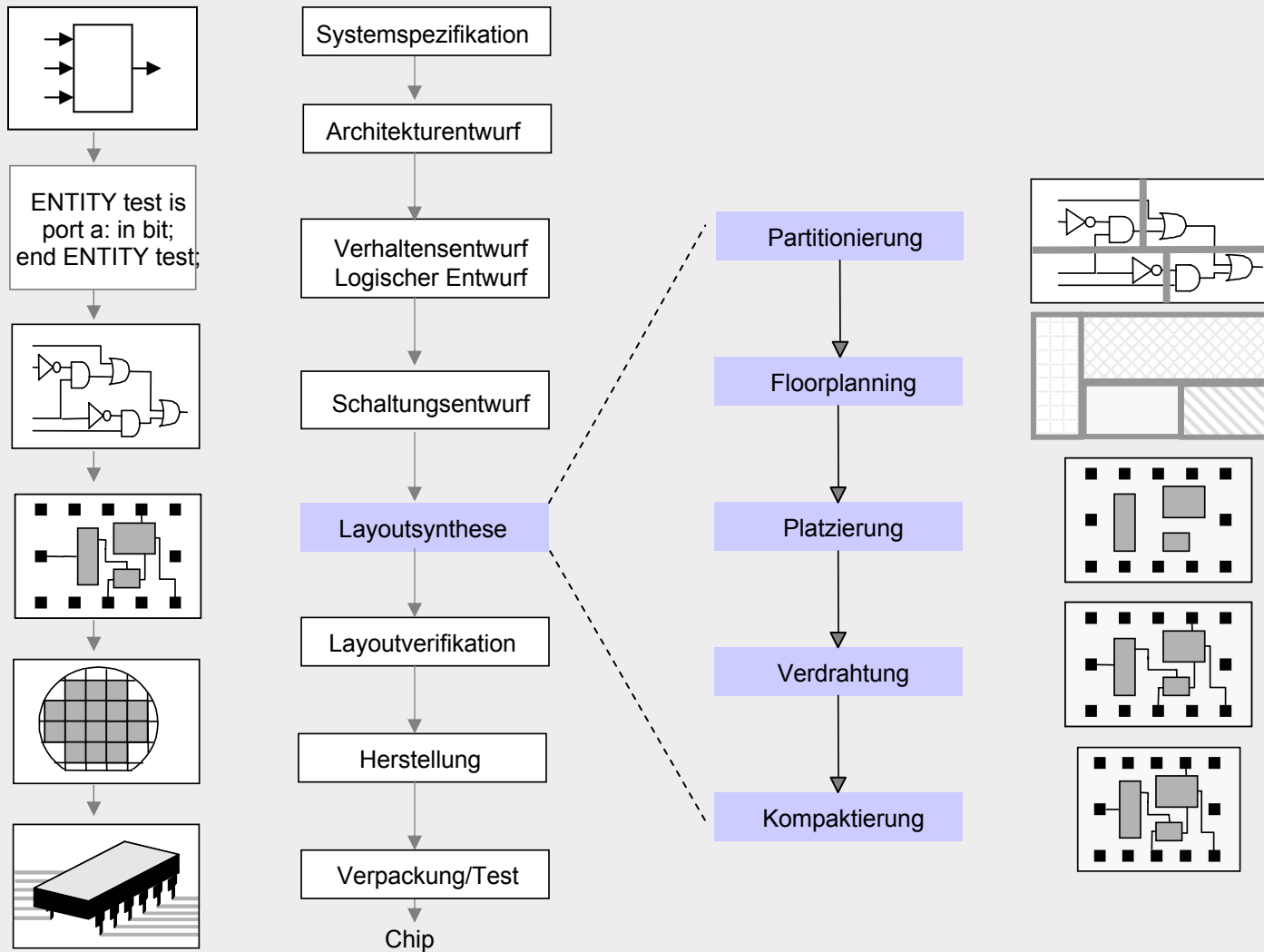
Zeitraum	Entwurfswerkzeuge
1950 bis 1965	Manueller Entwurf
1965 bis 1975	Layout-Editoren, erste Platzierungs- und Verdrahtungswerkzeuge bei LPs
1975 bis 1985	Ausgereifte Platzierungswerkzeuge (IC, LP), detaillierte Herausbildung von Entwurfsschritten, Entwicklung von Algorithmen für alle Entwurfsschritte
1985 bis 1990	Erste „Performance-Driven“-Entwurfswerkzeuge, Entwicklung von Parallelalgorithmen für den Layoutentwurf, Ausreifen der den Algorithmen zugrunde liegenden Theorien (Graphentheorie, Lösungskomplexität usw.)
1990 bis 2000	Erste „Over-the-Cell“ (OTC)-Verdrahtung, 3D- bzw. Mehrlagen-Entwurf (insbesondere Verdrahtung) gewinnt schnell an Dominanz, Ausreifen der Schaltungssynthese, verdrahtungszentrierter Entwurf und Modellierung erlangen Bedeutung, Parallelisierung der Entwurfsschritte
2000 bis heute	Aufkommen des fertigungszentrierten Entwurfs (DFM, Design for manufacturability), Strukturbreiten unterhalb der Lichtwellenlänge zwingen zu Optical Proximity Correction (OPC) und anderen Layoutmodifikationen, Reuse-orientierter Entwurf, d.h. verstärkte Wiederverwendung von entwickelten und erprobten Schaltungsmodulen, Einsatz von IP-Modulen (IP: Intellectual property)

- 1.1 Entwurfsautomatisierung in der Elektronik (EDA)
- 1.2 Hinweise
- 1.3 Bedeutung der Entwurfsautomatisierung
- 1.4 Entwicklung der Entwurfsautomatisierung
- 1.5 Übersicht über den Entwurfsprozess**
- 1.6 Entwurfsstile
- 1.7 Layoutebenen
- 1.8 Entwurfsregeln
- 1.9 Layoutsynthese als Optimierungsproblem
- 1.10 Rechenkomplexität der Layoutsynthese
- 1.11 Einteilung von Entwurfsalgorithmen
- 1.12 Lösungsqualität von Entwurfsalgorithmen
- 1.13 Graphentheoretische Grundbegriffe
- 1.14 Häufig verwendete Layoutbegriffe

## 1.5 Übersicht über den Entwurfsprozess



# 1.5 Übersicht über den Entwurfsprozess



## 1.5.5 Layoutsynthese

Überführung einer Netzliste unter Nutzung von Technologie- und Bibliotheksinformationen in die reale geometrische Abbildung einer Schaltung

Layoutsynthese

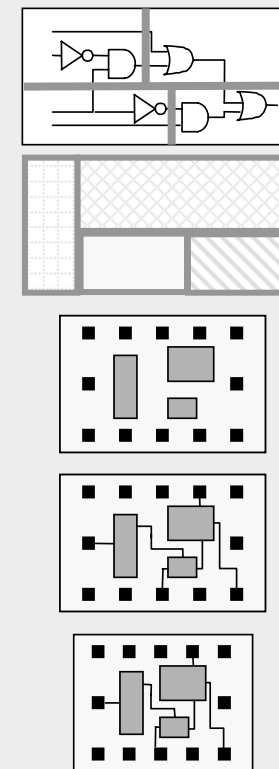
Partitionierung

Floorplanning

Platzierung

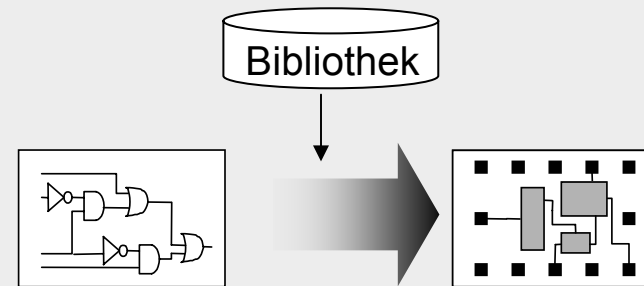
Verdrahtung

Kompaktierung



## 1.5.5 Layoutsynthese

Überführung einer Netzliste unter Nutzung von Technologie- und Bibliotheksinformationen in die reale geometrische Abbildung einer Schaltung

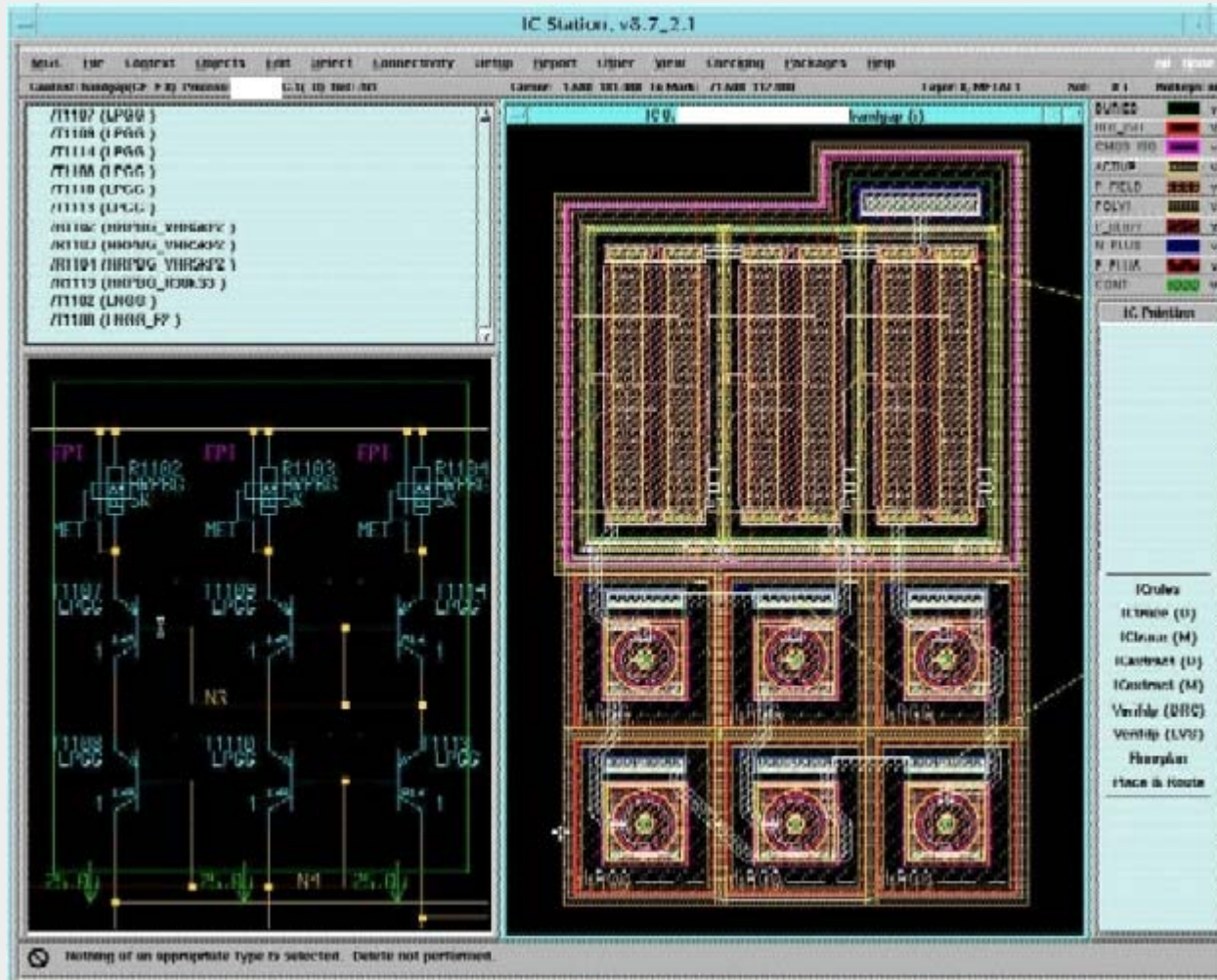


- Gegeben sei eine Menge von Zellen/Bauelementen und eine Menge von Verbindungen zwischen ihnen (Netzliste) sowie technologische und Zellen/Bauelemente-Informationen
- Gesucht ist eine optimierte Platzierung der Zellen/Bauelemente und die Ausführung der Verbindungen zwischen ihnen (Verdrahtung) unter Beachtung von Randbedingungen und Optimierungszielen

## 1.5.5 Layoutsynthese: Digitalentwurf

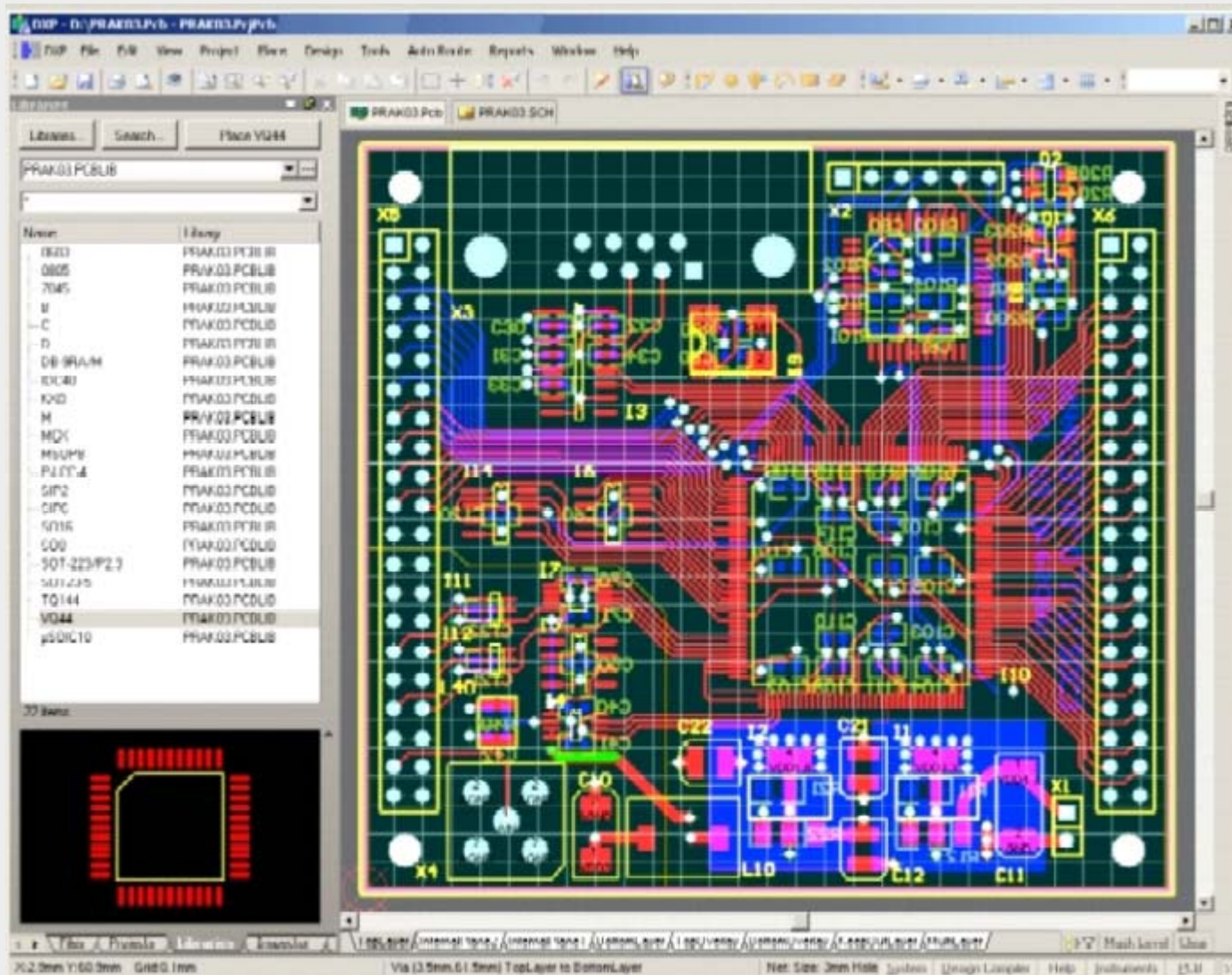



## 1.5.5 Layoutsynthese: Analogentwurf





## 1.5.5 Layoutsynthese: Leiterplattenentwurf

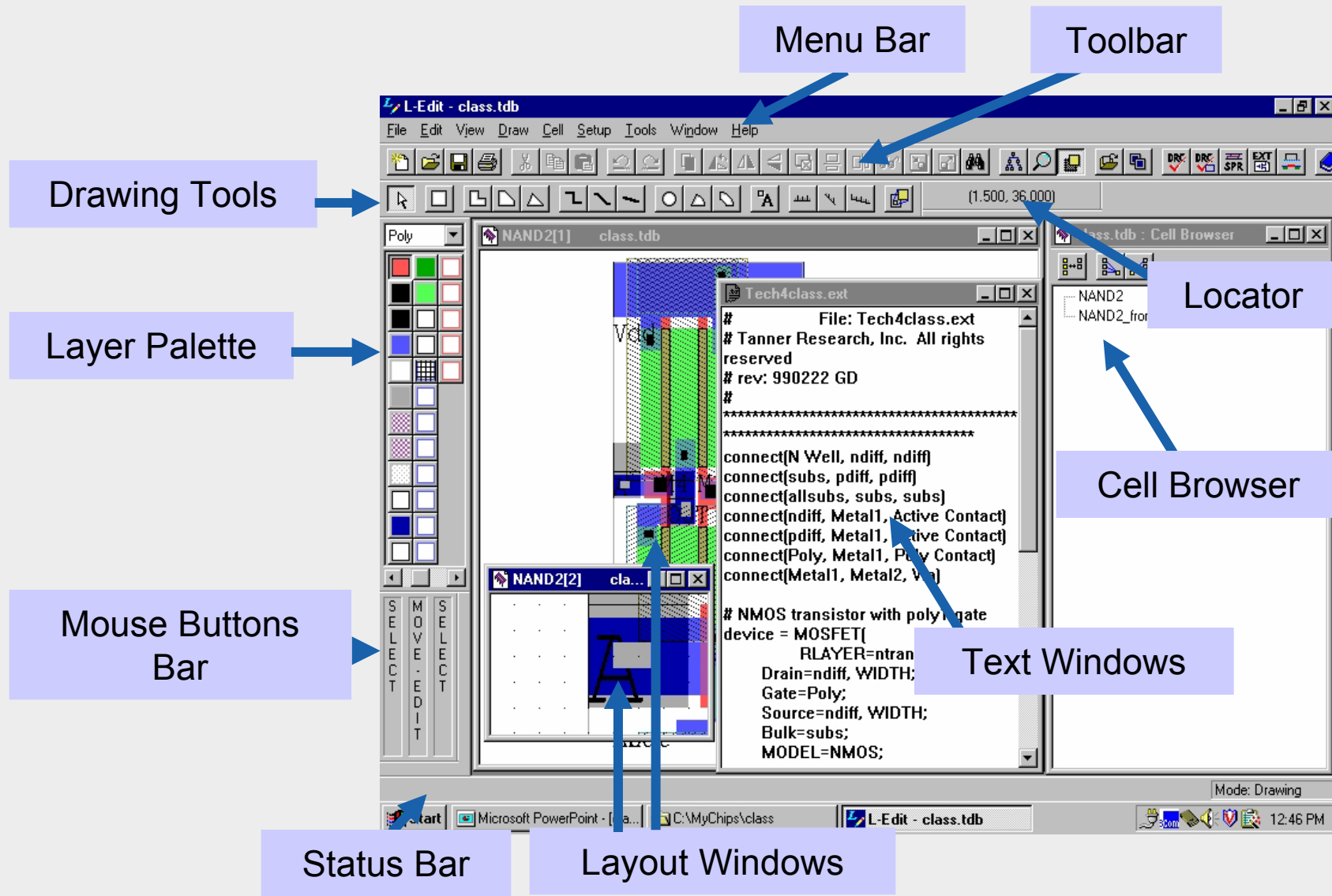


- 1.1 Entwurfsautomatisierung in der Elektronik (EDA)
- 1.2 Hinweise
- 1.3 Bedeutung der Entwurfsautomatisierung
- 1.4 Entwicklung der Entwurfsautomatisierung
- 1.5 Übersicht über den Entwurfsprozess
-  **1.6 Entwurstile**
- 1.7 Layoutebenen
- 1.8 Entwurfsregeln
- 1.9 Layoutsynthese als Optimierungsproblem
- 1.10 Rechenkomplexität der Layoutsynthese
- 1.11 Einteilung von Entwurfalgorithmen
- 1.12 Lösungsqualität von Entwurfalgorithmen
- 1.13 Graphentheoretische Grundbegriffe
- 1.14 Häufig verwendete Layoutbegriffe

## 1.6 Entwurstile

- **Kundenspezifischer Entwurstil** (Full-custom approach)
- **Standardisierter Entwurstil** (Semi-custom approach)
  - Zellenbasierter Entwurf, wie der Standardzellen- und Makrozellen-Entwurf
  - Arraybasierter Entwurf, wie der Entwurf von Gate-Arrays bzw. Field Programmable Gate-Arrays (FPGAs)

## 1.6.1 Kundenspezifischer Entwurf: Layouteditor



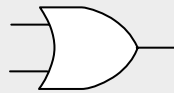
## 1.6.2 Standardzellen-Entwurf

AND



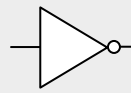
IN1	IN2	OUT
0	0	0
1	0	0
0	1	0
1	1	1

OR



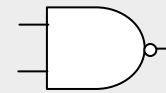
IN1	IN2	OUT
0	0	0
1	0	1
0	1	1
1	1	1

INV



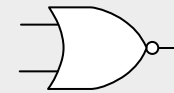
IN	OUT
0	1
1	0

NAND

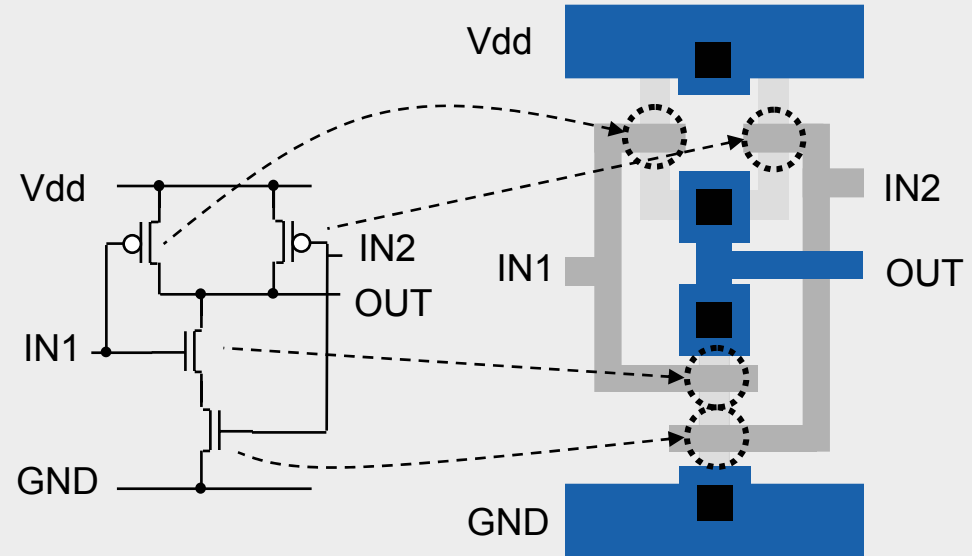
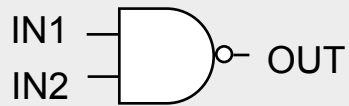






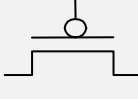
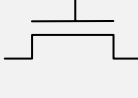
IN1	IN2	OUT
0	0	1
1	0	1
0	1	1
1	1	0

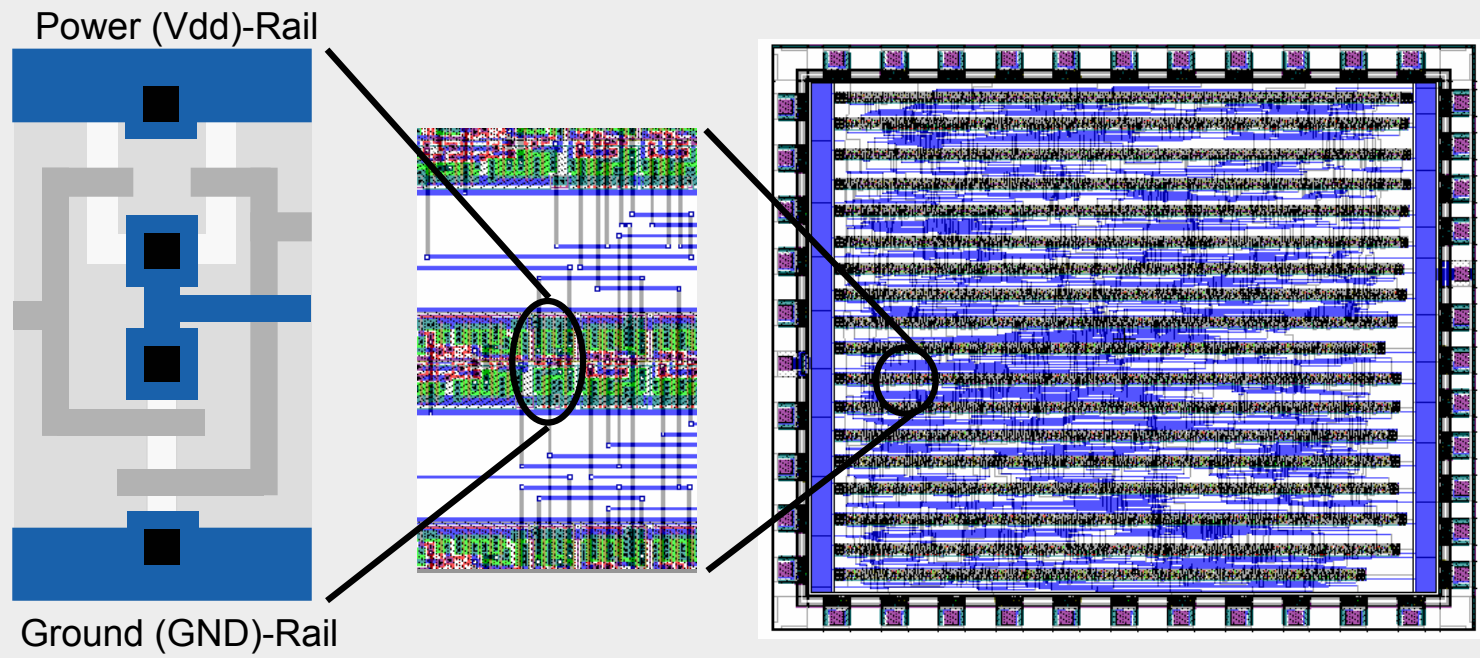
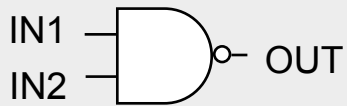
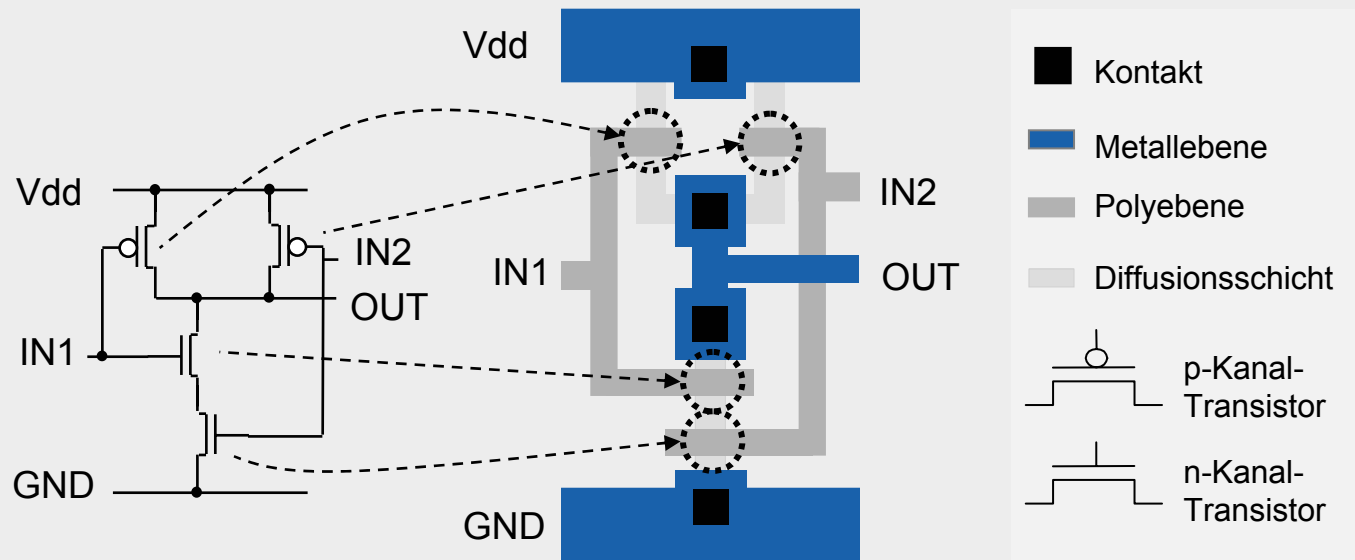
NOR



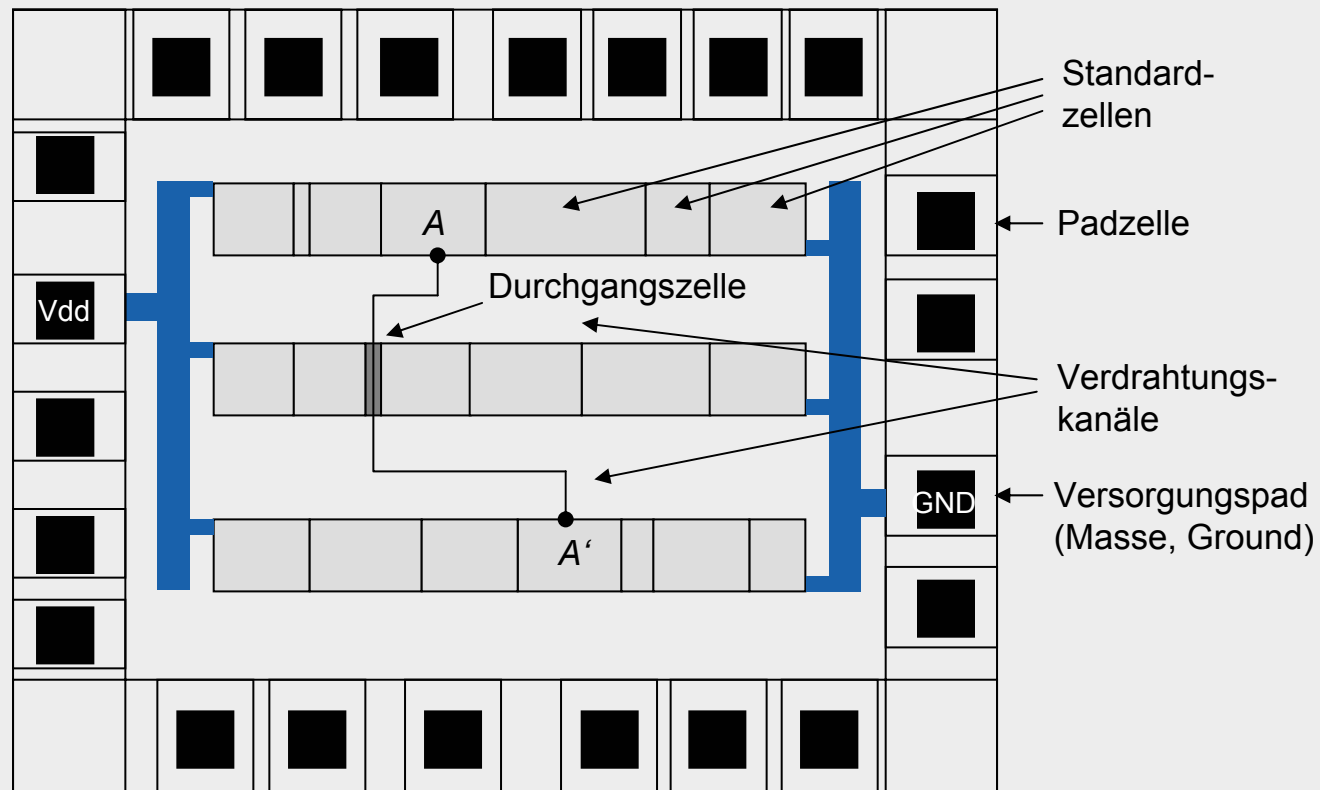
IN1	IN2	OUT
0	0	1
1	0	0
0	1	0
1	1	0



	Kontakt
	Metallebene
	Polyebene
	Diffusionsschicht
	p-Kanal-Transistor
	n-Kanal-Transistor

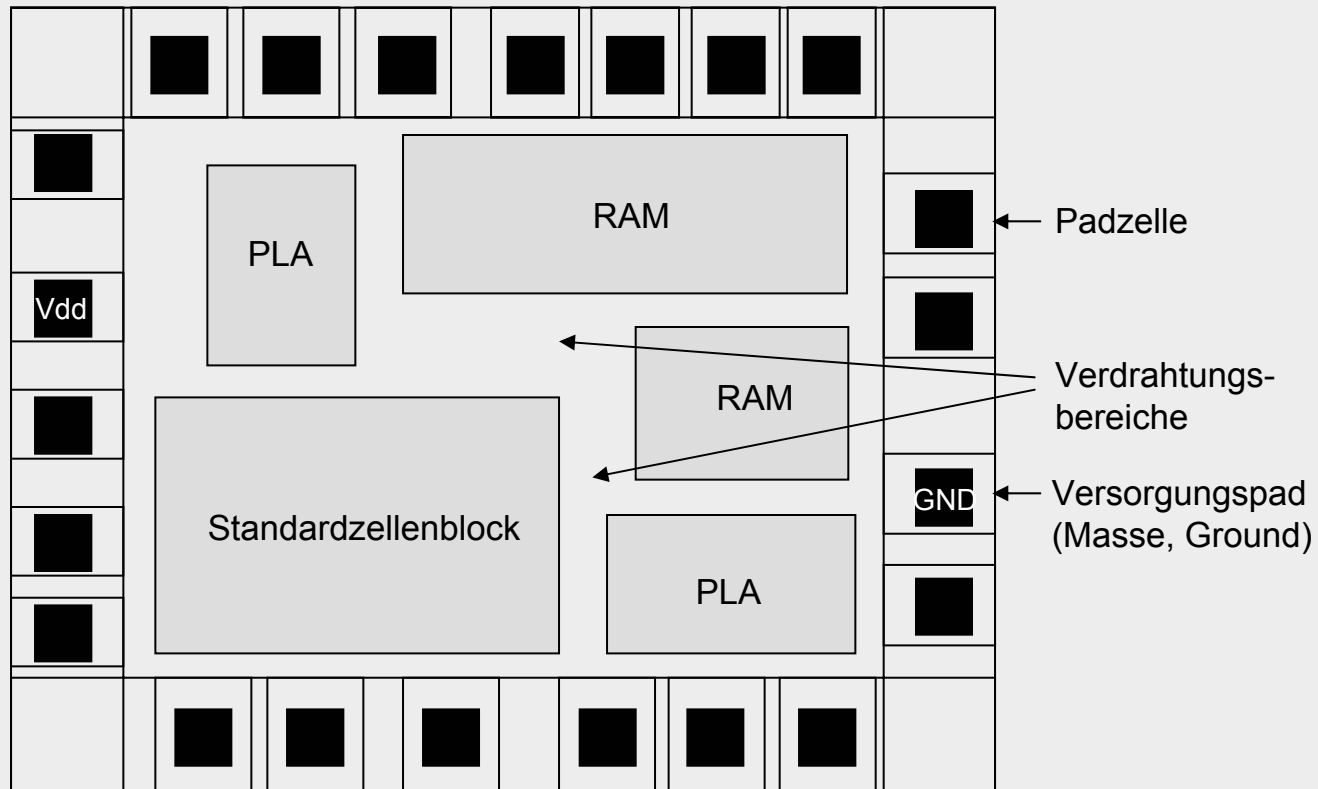


## 1.6.2 Standardzellen-Entwurf

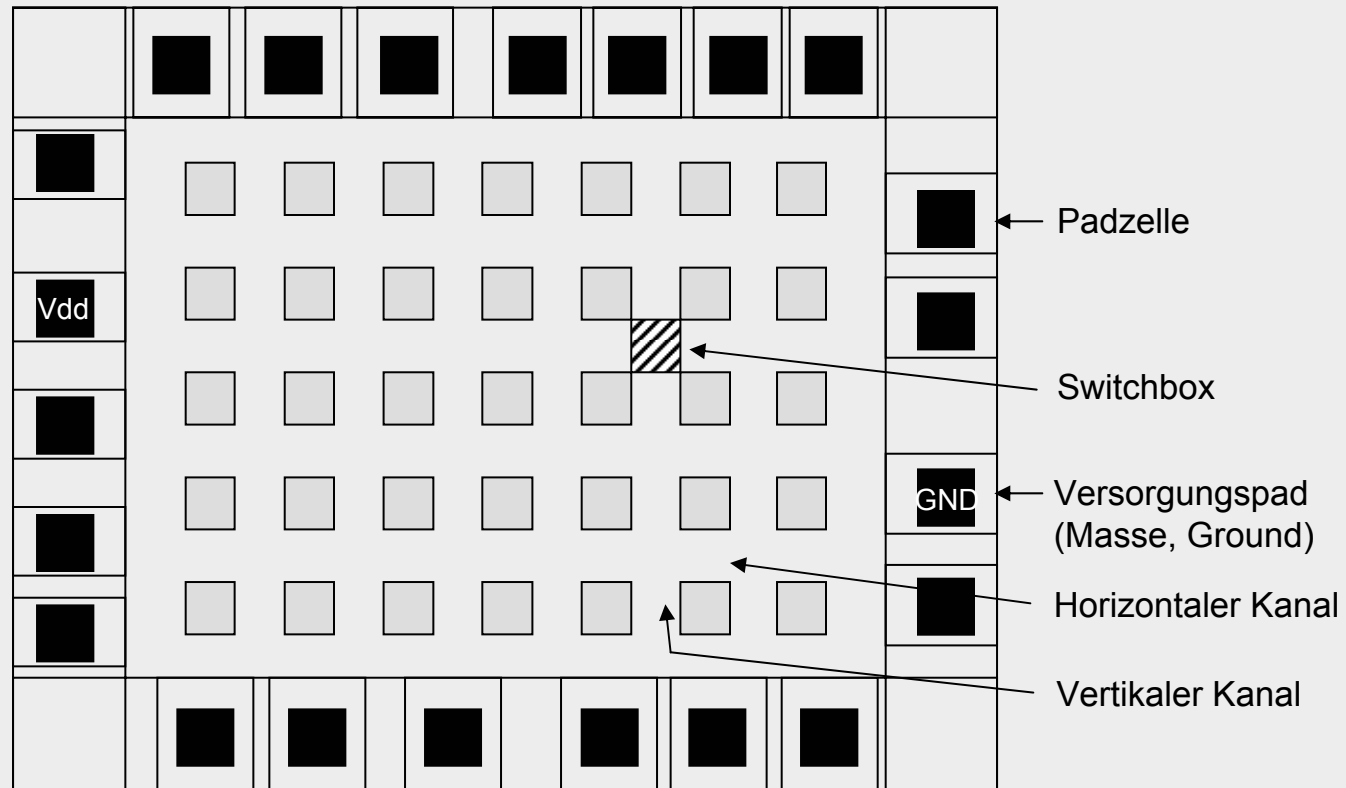




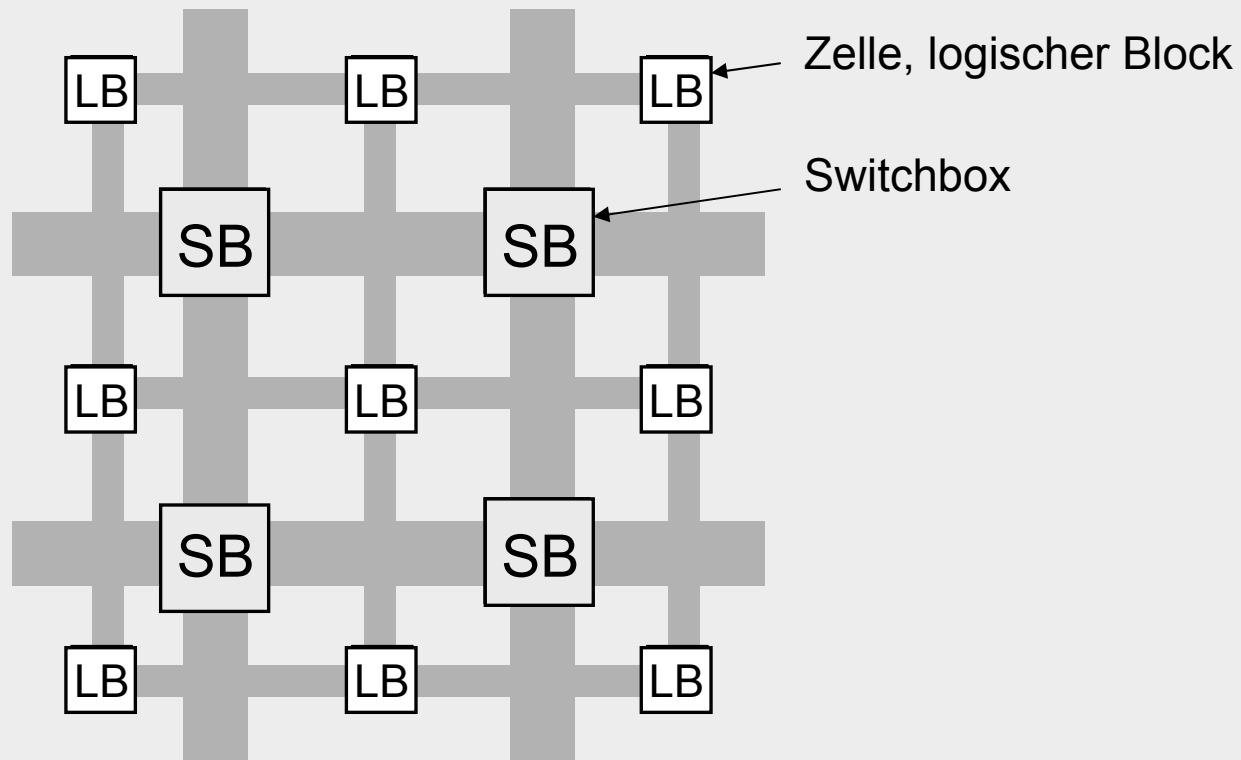
## 1.6.3 Makrozellen-Entwurf



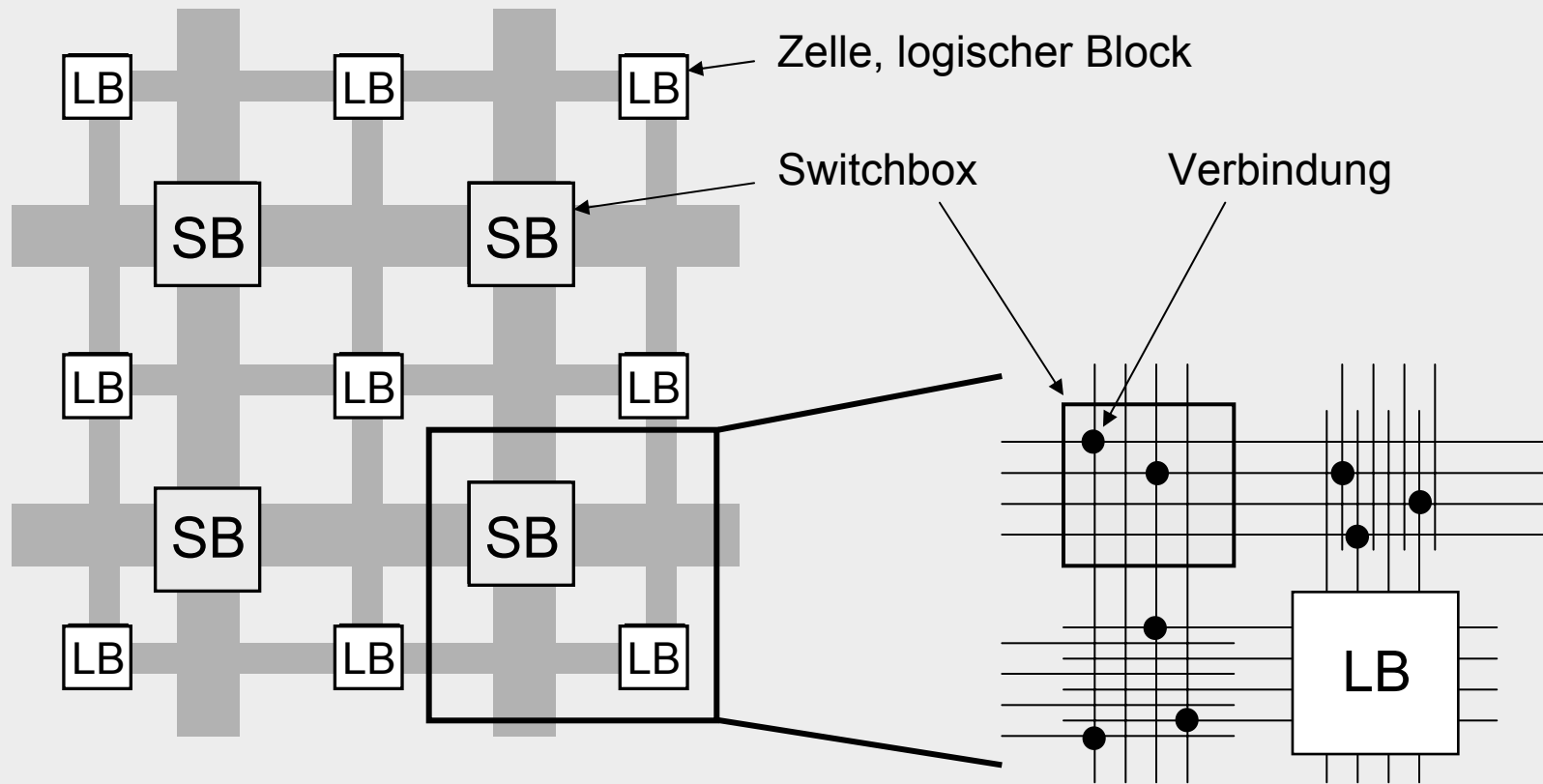
## 1.6.4 Gate-Array-Entwurf



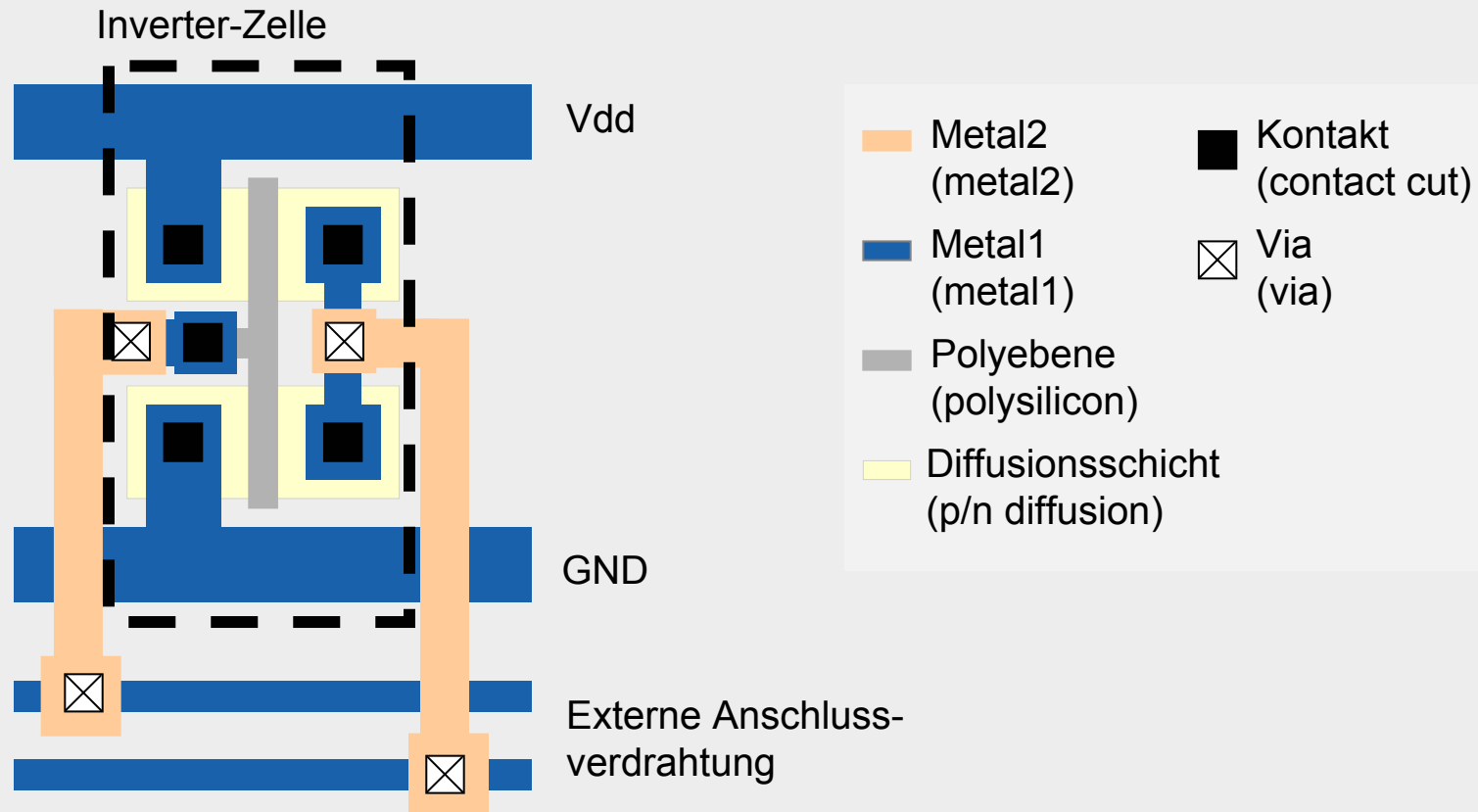
## 1.6.4 Gate-Array-Entwurf: FPGA



## 1.6.4 Gate-Array-Entwurf: FPGA

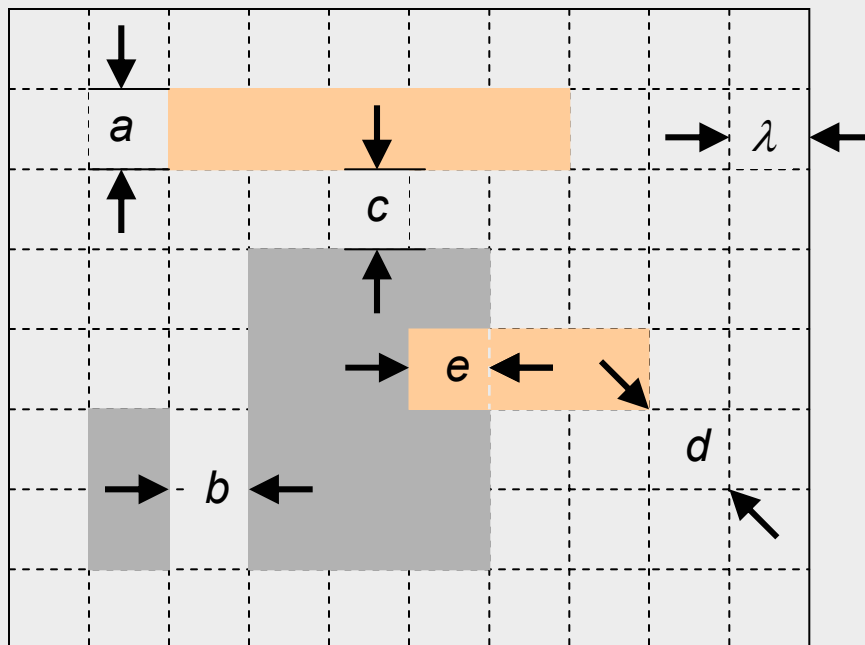


## 1.7 Layoutebenen



## 1.8 Entwurfsregeln

- Minimale Weitenregeln (Minimum width)
- Minimale Abstandsregeln (Minimum separation)
- Minimale Überlappungsregeln (Minimum overlap)



Minimale Weite  $a$

Minimaler Abstand  $b$   $c$   $d$

Minimale Überlappung  $e$

Lambda  $\lambda$

## 1.9 Layoutsynthese als Optimierungsproblem

- Layoutentwurf ist komplexes Optimierungsproblem mit verschiedenen **Optimierungszielen**, wie z.B. minimale Chipfläche  $A$  und minimale Verbindungslänge  $L$
- Optimierungsziele stehen häufig in Konkurrenz zueinander und sind mathematisch schwer fassbar, daher Abbildung als **Zielfunktion** (Kostenfunktion), wobei die einzelnen Ziele gewichtet eingehen, z.B.  
$$Z = w_1 * A + w_2 * L$$
- $w_1$  und  $w_2$  sind **Wichtungsfaktoren**

## 1.9 Layoutsynthese als Optimierungsproblem

Bei der Layoutsynthese sind **Randbedingungen** einzuhalten

- **Technologische Randbedingungen** werden aus der zur Herstellung benutzten Technologie und deren Grenzwerten abgeleitet (technologisch bedingte Abstands-, Breiten- und Überlappingsregeln)  
Beispiel: Minimale Breiten- und Abstandswerte
- **Elektrische Randbedingungen** gewährleisten das angestrebte elektrische Verhalten der Baugruppe (auch funktionale Randbedingungen genannt)  
Beispiel: Maximal erlaubte Signalverzögerung einer Verbindung
- **Entwurfsmethodische Randbedingungen** werden eingeführt, um die Komplexität bzw. den Schwierigkeitsgrad des Entwurfs abzumildern (auch geometrische Randbedingungen genannt)  
Beispiel: Vorzugsrichtungen für die Verdrahtung



## 1.10 Rechenkomplexität der Layoutsynthese

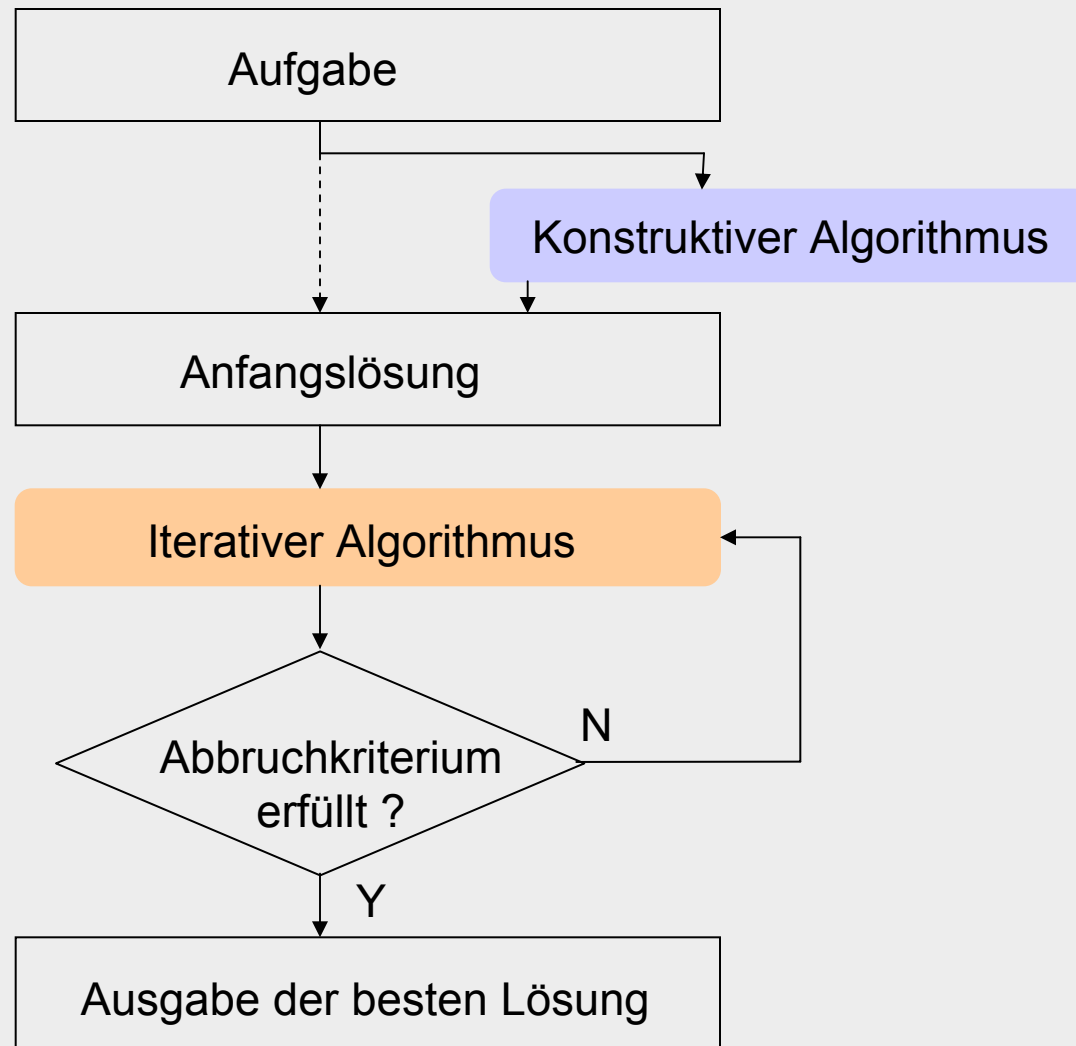
Probleme der Layoutsynthese gehören zur Klasse der **NP-harten Probleme**:

- Aufgrund der Komplexität des Entwurfsproblems und der damit verbundenen sehr großen Rechenzeiten können mit deterministischen Algorithmen keine optimalen Lösungen zeiteffektiv gefunden werden.
- Beispiel: Platzierung von  $n$  Bauelementen derart hintereinander, dass die Gesamtverbindungslänge minimiert wird
  - Lösungsraum besteht aus  $n!$  Möglichkeiten
  - Wenn  $1 \mu\text{s}$  pro Platzierungsermittlung benötigt wird, wären bei  $n = 20$  Bauelementen 77 147 Jahre Rechenzeit nötig, um durch Einbeziehung aller Lösungen das Optimum zu ermitteln!

## 1.10 Rechenkomplexität der Layoutsynthese

- Ausweg: **Nutzung von heuristischen Algorithmen**, die dem globalen Optimum möglichst nahe kommen.
- Im Gegensatz zu einem „Brute-Force“-Algorithmus, der die beste aller denkbaren Lösungsmöglichkeiten anstrebt, sucht ein heuristischer Algorithmus unter Einbeziehung von möglichst intelligenten Methoden (Hilfswissen) nur einen Teil des Lösungsraumes ab.
- Dabei kommt es darauf an, ein hinreichend gutes, nicht notwendig optimales Ergebnis in akzeptabler Zeit zu finden.

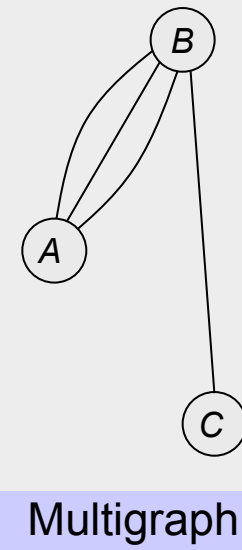
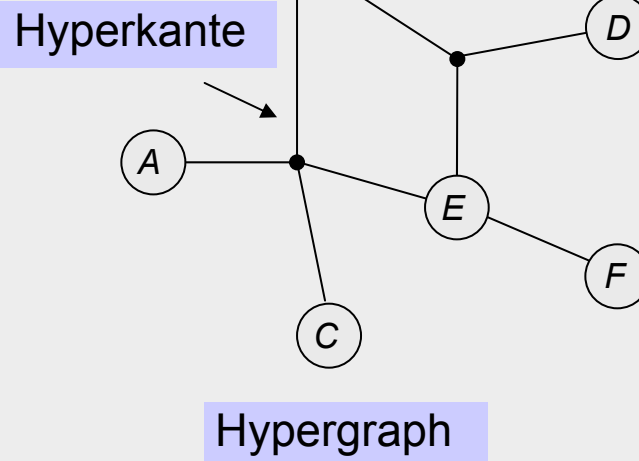
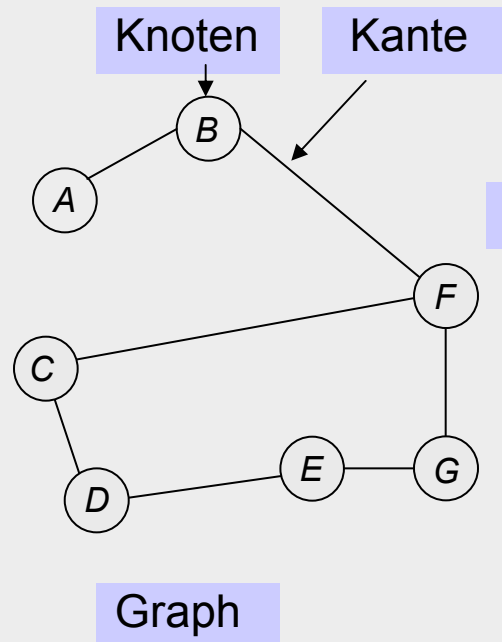
## 1.11 Einteilung von Entwurfsalgorithmen



# Kapitel 1 – Einführung

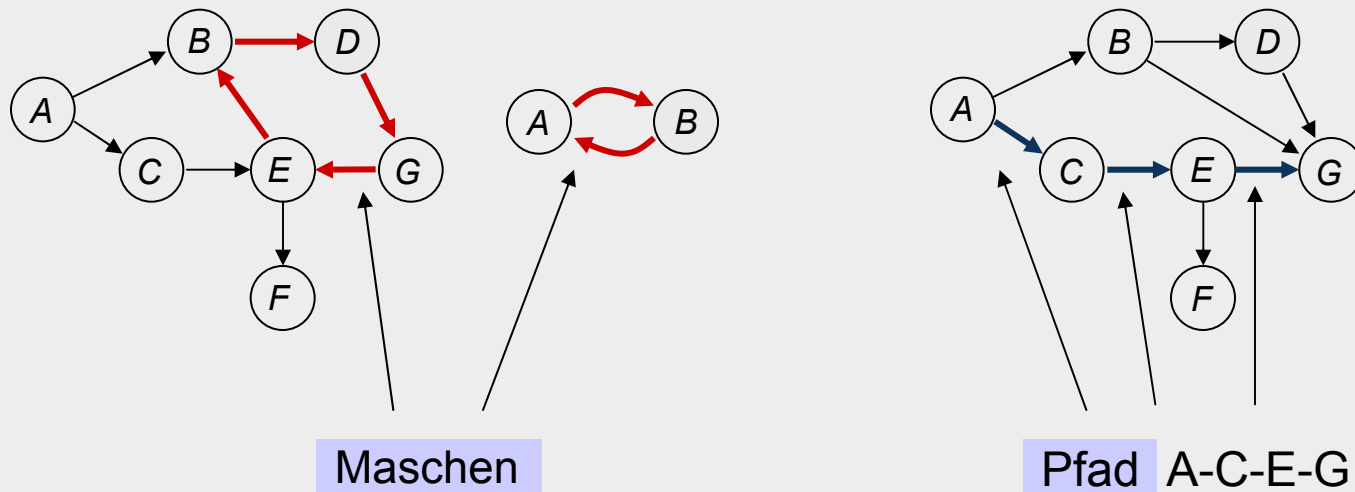
- 1.1 Entwurfsautomatisierung in der Elektronik (EDA)
- 1.2 Hinweise
- 1.3 Bedeutung der Entwurfsautomatisierung
- 1.4 Entwicklung der Entwurfsautomatisierung
- 1.5 Übersicht über den Entwurfsprozess
- 1.6 Entwurfsstile
- 1.7 Layoutebenen
- 1.8 Entwurfsregeln
- 1.9 Layoutsynthese als Optimierungsproblem
- 1.10 Rechenkomplexität der Layoutsynthese
- 1.11 Einteilung von Entwurfsalgorithmen
- 1.12 Lösungsqualität von Entwurfsalgorithmen
- 1.13 Graphentheoretische Grundbegriffe**
- 1.14 Häufig verwendete Layoutbegriffe

## 1.13 Graphentheoretische Grundbegriffe



## 1.13 Graphentheoretische Grundbegriffe

### Gerichtete Graphen

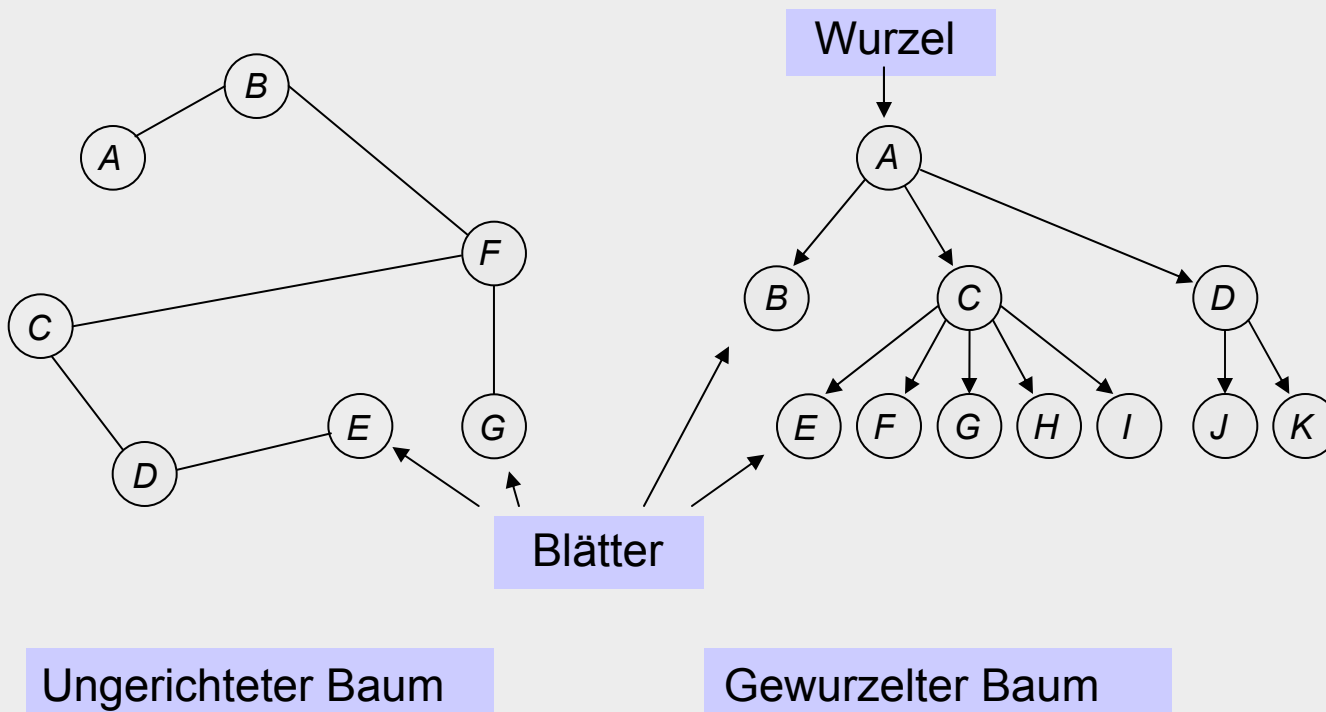


**Vollständiger Graph:** Jeweils eine Kante existiert zwischen beliebigen Knotenpaaren

**Zusammenhängender Graph:** Mindestens ein Pfad existiert zwischen beliebigen Knotenpaaren

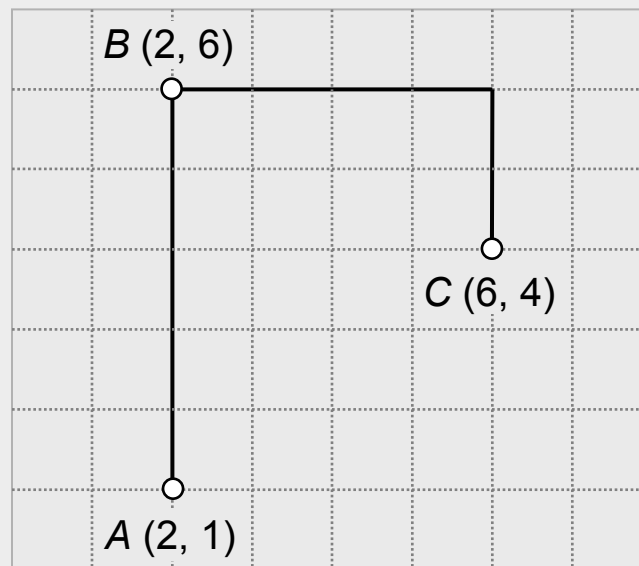
## 1.13 Graphentheoretische Grundbegriffe

Baum: zusammenhängender und maschenfreier Graph



## 1.13 Graphentheoretische Grundbegriffe

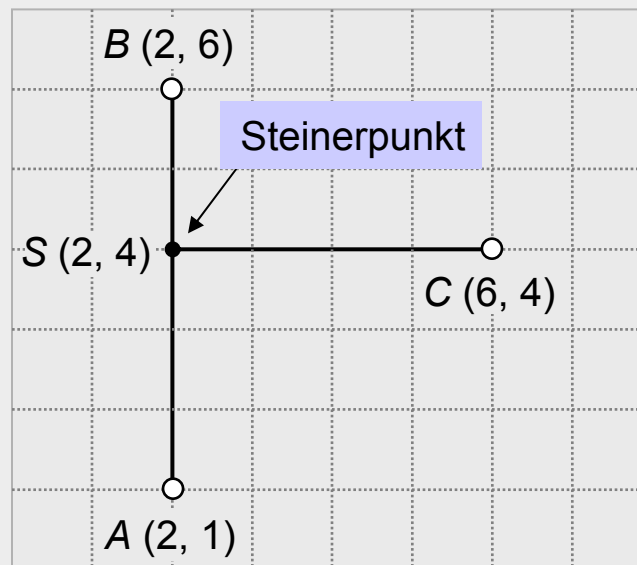
Rektilinearer minimaler Spannbaum dreier Anschlusspunkte A, B, C





## 1.13 Graphentheoretische Grundbegriffe

Rektilinearer minimaler Steinerbaum dreier Anschlusspunkte  $A$ ,  $B$ ,  $C$

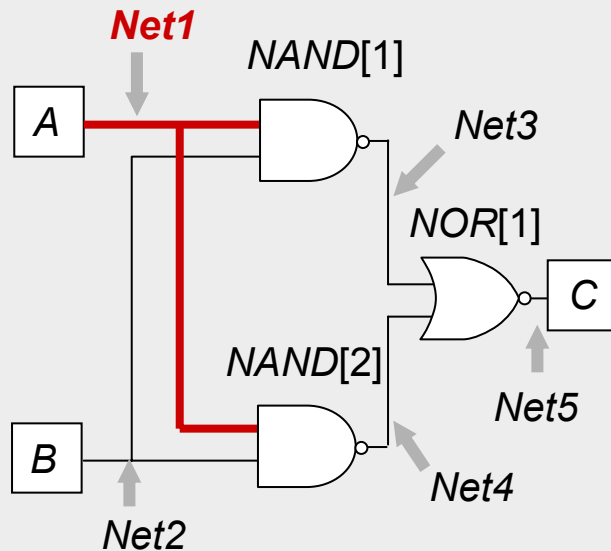


# Kapitel 1 – Einführung

- 1.1 Entwurfsautomatisierung in der Elektronik (EDA)
- 1.2 Hinweise
- 1.3 Bedeutung der Entwurfsautomatisierung
- 1.4 Entwicklung der Entwurfsautomatisierung
- 1.5 Übersicht über den Entwurfsprozess
- 1.6 Entwurfsstile
- 1.7 Layoutebenen
- 1.8 Entwurfsregeln
- 1.9 Layoutsynthese als Optimierungsproblem
- 1.10 Rechenkomplexität der Layoutsynthese
- 1.11 Einteilung von Entwurfsalgorithmen
- 1.12 Lösungsqualität von Entwurfsalgorithmen
- 1.13 Graphentheoretische Grundbegriffe

**→ 1.14 Häufig verwendete Layoutbegriffe**

## 1.14 Häufig verwendete Layoutbegriffe



### Pinorientierte Netzliste

(A: Net1)

(B: Net2)

(C: Net5)

(NAND[1]: IN1 Net1, IN2 Net2, OUT Net3)

(NAND[2]: IN1 Net1, IN2 Net2, OUT Net4)

(NOR[1]: IN1 Net3, IN2 Net4, OUT Net5)

### Netzorientierte Netzliste

(Net1: A, NAND[1].IN1, NAND[2].IN1)

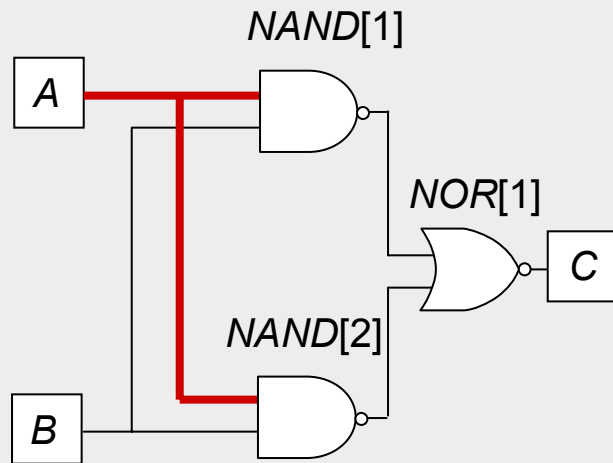
(Net2: B, NAND[1].IN2, NAND[2].IN2)

(Net3: NAND[1].OUT, NOR[1].IN1)

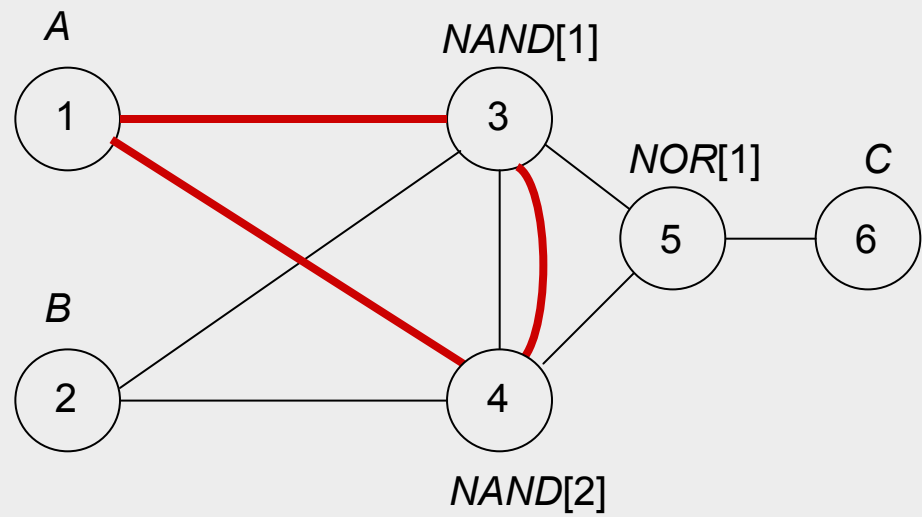
(Net4: NAND[2].OUT, NOR[1].IN2)

(Net5: NOR[1].OUT, C)

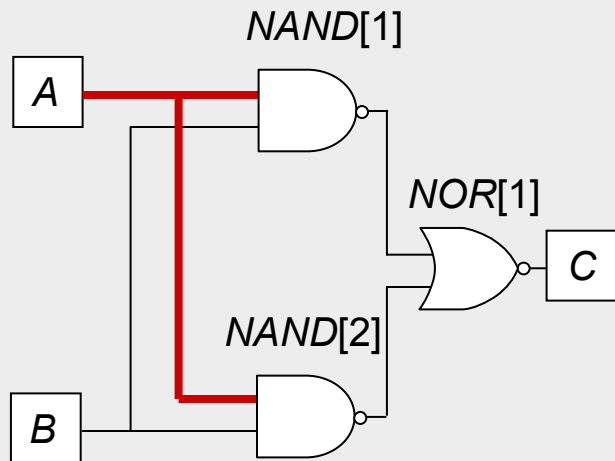
## 1.14 Häufig verwendete Layoutbegriffe



Verbindungsgraph

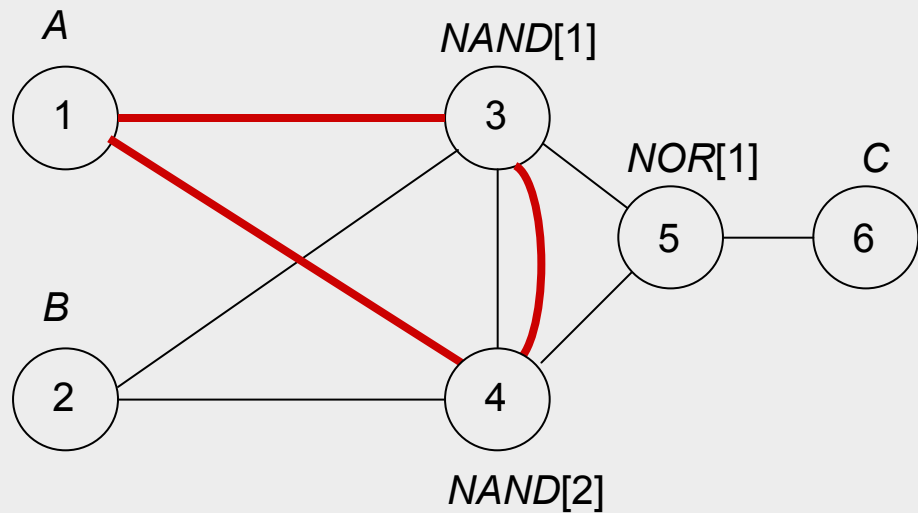


# 1.14 Häufig verwendete Layoutbegriffe



Verbindungsmatrix

	1	2	3	4	5	6
1	0	0	1	1	0	0
2	0	0	1	1	0	0
3	1	1	0	2	1	0
4	1	1	2	0	1	0
5	0	0	1	1	0	1
6	0	0	0	0	1	0

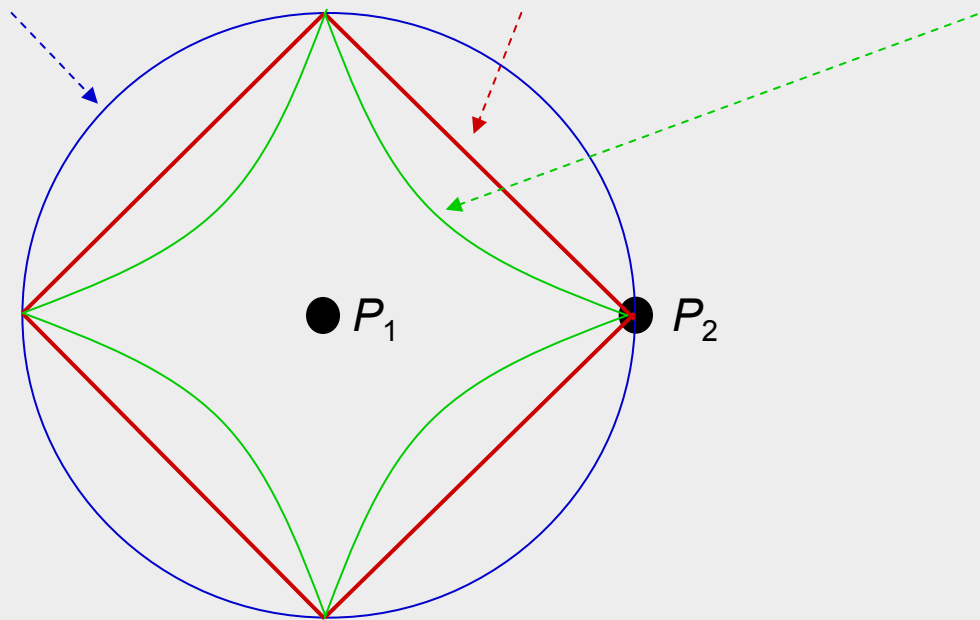


## 1.14 Häufig verwendete Layoutbegriffe

Abstandsdefinition zweier Punkte  $P_1(x_1, y_1)$  und  $P_2(x_2, y_2)$

$$d = \sqrt[n]{|x_2 - x_1|^n + |y_2 - y_1|^n}$$

mit  $n = 2$  **Euklidische Metrik**,  $n = 1$  **Manhattan-Metrik**,  $n < 1$  **Sub-Manhattan-Metrik**

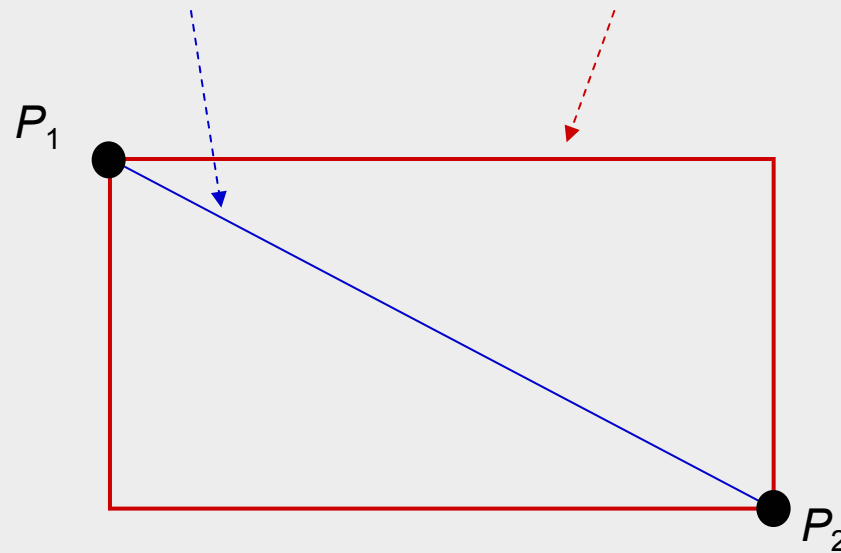


## 1.14 Häufig verwendete Layoutbegriffe

Abstandsdefinition zweier Punkte  $P_1(x_1, y_1)$  und  $P_2(x_2, y_2)$

$$d = \sqrt[n]{|x_2 - x_1|^n + |y_2 - y_1|^n}$$

mit  $n = 2$  **Euklidische Metrik**,  $n = 1$  **Manhattan-Metrik**



# Zusammenfassung Kapitel 1 – Einführung

- 1.1 Entwurfsautomatisierung in der Elektronik (EDA)
- 1.2 Hinweise
- 1.3 Bedeutung der Entwurfsautomatisierung
- 1.4 Entwicklung der Entwurfsautomatisierung
- 1.5 Übersicht über den Entwurfsprozess
- 1.6 Entwurfsstile
- 1.7 Layoutebenen
- 1.8 Entwurfsregeln
- 1.9 Layoutsynthese als Optimierungsproblem
- 1.10 Rechenkomplexität der Layoutsynthese
- 1.11 Einteilung von Entwurfsalgorithmen
- 1.12 Lösungsqualität von Entwurfsalgorithmen
- 1.13 Graphentheoretische Grundbegriffe
- 1.14 Häufig verwendete Layoutbegriffe