



Kapitel 1

Einführung

Der *Layoutentwurf* – oder der *physikalische Entwurf*, wie er in der Fachwelt stellenweise genannt wird – ist der letzte Schritt im Entwurfsprozess einer elektronischen Schaltung. Sein Ziel ist es, alle Daten und Informationen zu erzeugen, die man für den anschließenden Fertigungsprozess benötigt. Um dies zu erreichen, müssen alle Elemente, die das Ergebnis des elektrisch-logischen Entwurfs bilden – also die Auflistung der enthaltenen Bauteile und ihrer elektrischen Verbindungen – in eine geometrische Darstellung überführt werden, die für die Fertigung der Schaltung verwendet wird. Diese geometrischen Daten bestehen typischerweise überwiegend (im Falle mikroelektronischer Herstellungsprozesse praktisch ausschließlich) aus einer Ansammlung von Rechtecken.

Zur Einführung in das Thema des Buches gibt dieses Kapitel eine Übersicht über die Technologien der Elektronik-Fertigung, zeigt Besonderheiten der Mikroelektronik und beschreibt die Aufgabenstellung des Layoutentwurfs elektronischer Schaltungen. Aufbauend auf diesen Grundlagen vertiefen wir in den nachfolgenden Kapiteln alle für den Layoutentwurf relevanten Aspekte und spezifischen Randbedingungen: Halbleitertechnologie (Kap. 2), Schnittstellen, Entwurfsregeln und Bibliotheken (Kap. 3), Entwurfsflüsse, Entwurfsstile und Entwurfsmodelle (Kap. 4), Entwurfsschritte und Entwurfswerkzeuge (Kap. 5), Besonderheiten des Analogentwurfs (Kap. 6) und schließlich Maßnahmen zur Erhöhung der Zuverlässigkeit (Kap. 7).

In Abschn. 1.1 unseres Einleitungskapitels werfen wir zuerst einen Blick auf die wichtigsten Technologien¹ zur Fertigung elektronischer Systeme: die Leiterplatten-,

¹Der Begriff „Technologie“ bedeutet allgemein „Lehre von der Technik“ (als eine Wissenschaft). Daneben kann „Technologie“ auch ein Produktionsverfahren bezeichnen, wobei die Gesamtheit der für die Fertigung eines Produkts notwendigen Arbeitsgänge und -techniken zu verstehen ist. Wir nutzen den Begriff in diesem Buch im Sinne dieser letzteren Bedeutung. Mit „Technologie“ sprechen wir also immer einen Fertigungsprozess oder auch eine Familie von Fertigungsprozessen (z. B. der Halbleiterfertigung) an.

die Hybrid- und die Halbleitertechnologie. Letztere ermöglicht die Realisierung von *integrierten Schaltkreisen*. Der Layoutentwurf dieser besonderen Form der modernen Elektronik, die auch als *Mikroelektronik* bezeichnet wird, nimmt den größten Umfang in diesem Buch ein, weshalb wir in Abschn. 1.2 deren Bedeutung und Besonderheiten näher beleuchten und einige für unser Thema hilfreiche Hinweise zur Halbleiterphysik und zur Halbleiterfertigung ergänzen. In Abschn. 1.3 geben wir einen Überblick über die grundlegende Vorgehensweise im Layoutentwurf, indem wir zunächst die primären Entwurfsschritte des Elektronikentwurfs aufzeigen und anschließend die Aufgabenstellungen des Layoutentwurfs von integrierten Schaltungen (Schaltkreisen) und von gedruckten Schaltungen (Leiterplatten) anhand der jeweiligen Ein- und Ausgangsdaten genauer betrachten. Wir beschließen das Einführungskapitel in Abschn. 1.4, in dem wir unsere Motivation für dieses Buch darlegen und die Organisation der nachfolgenden Kapitel beschreiben.

1.1 Technologien der Elektronik-Fertigung

Alle elektronischen Schaltungen bestehen aus *elektronischen Bauelementen* (Transistoren, Widerständen, Kondensatoren usw.) und metallischen Leitern, welche die elektrischen Verbindungen zwischen ihren Anschlusspunkten herstellen. Allerdings gibt es eine Vielzahl unterschiedlicher Möglichkeiten der fertigungstechnischen Realisierung; diese Technologien können in drei Hauptgruppen untergliedert werden:

- *Leiterplattentechnologie*, die sich in folgende Bereiche unterteilen lässt
 - Durchsteckmontage,
 - Oberflächenmontage,
- *Hybridtechnologie*, oft unterteilt in
 - Dickschichttechnik,
 - Dünnschichttechnik,
- *Halbleitertechnologie*, unterteilbar in
 - Diskrete Halbleiterbauelemente,
 - Integrierte Schaltkreise.

Zu jeder dieser Technologien gibt es heute zahlreiche Erweiterungen und Spezialformen für besondere Anwendungen, z. B. für die Automobilelektronik, wo eine besonders hohe Robustheit gefordert wird oder für Mobiltelefone, wo es um extreme Kompaktheit geht. Wir wollen uns nun diese Technologien etwas genauer anschauen, beschränken unsere Betrachtungen dabei aber auf die typischen Erscheinungsformen.

1.1.1 Leiterplattentechnologie

Die Technologie zur Fertigung von Leiterplatten ist die am weitesten verbreitete Technologie zum Aufbau elektronischer Baugruppen. Die eigentliche *Leiterplatte* (*Printed circuit board*, *PCB*, auch *Platine* genannt) hat hierbei zwei Hauptfunktionen: (i) sie dient als mechanischer Träger, auf dem die elektronischen Bauteile – meist durch Auflöten – mechanisch befestigt (man sagt auch „montiert“) werden, und (ii) sie bietet eine metallische Oberfläche, aus der sich die Leiterbahnen für die elektrische Verbindung der Bauteile herstellen lassen.

Leiterplatte

Das Grundelement der Leiterplatte ist der *Substratkern* bzw. das *Substrat*. Es wird auch als *Trägersubstrat* bezeichnet, da es die elektronischen Bauteile und die Verbindungen „trägt“ (d. h. an Ort und Stelle „hält“). Der Substratkern ist eine elektrisch isolierende Trägerplatte, die in der Regel aus glasfaserverstärktem Epoxidharz besteht. Jeder hat eine solche, häufig in grüner Farbe auftretende, Platte schon einmal gesehen. Daneben gibt es auch mit Phenolharzen stabilisierte Papiere, die besonders in den Anfangsjahren der Elektronik weit verbreitet waren. Leiterplatten auf Papierbasis eignen sich aber nur für Anwendungen mit sehr geringen Anforderungen und kommen heute praktisch nicht mehr zum Einsatz, weshalb wir sie in diesem Buch nicht weiter behandeln.

Die Leiterbahnen werden aus einer Metallschicht herausgeätzt, die auf die Oberfläche des Substratkerns aufgebracht wurde. Für diese Metallschicht, die sich nur auf einer oder auch auf beiden Seiten der Trägerplatte befinden kann, wird Kupfer verwendet, da dieses einige sehr vorteilhafte Eigenschaften hat: (i) es ist ein hervorragender elektrischer Leiter; (ii) es lässt sich gut ätzen; und (iii) es eignet sich gut für Lötverbindungen, mit denen die Bauteile befestigt und gleichzeitig die Anschlussbeinchen (Pins) der Bauelemente elektrisch angeschlossen werden.

Herstellung der Leiterbahnen

Die Herstellung der Leiterbahnen ist in Abb. 1.1 veranschaulicht und nachfolgend anhand der dort dargestellten Schritte (a) bis (i) näher erläutert.

Auf den mit Kupfer beschichteten Substratkern bringt man zunächst eine Schicht aus *Fotolack* (auch als *Fotoresist* bezeichnet) auf (a bis c). Der Fotolack hat die besondere Eigenschaft, dass sich seine Löslichkeit gegenüber einer speziellen Flüssigkeit, die *Entwickler* genannt wird, durch Bestrahlung mit Licht verändern lässt. Für den nächsten Schritt benötigt man eine sog. *Belichtungsmaske* (auch *Fotomaske* oder kurz *Maske*). Dies ist eine (durchsichtige) Glasplatte oder Folie, auf die das Bild der gewünschten Leiterbahnstruktur in einer undurchsichtigen Schicht aufgebracht ist (in Abb. 1.1d schwarz dargestellt).

Nachdem die Maske an die richtige Stelle über der Leiterplatte positioniert wurde (d), bestrahlt man sie mit Licht (e). Diese *Belichtung* erzeugt auf der Leiterplatte einen Schattenwurf und dadurch ein Abbild der Leiterbahnstruktur (beleuch-

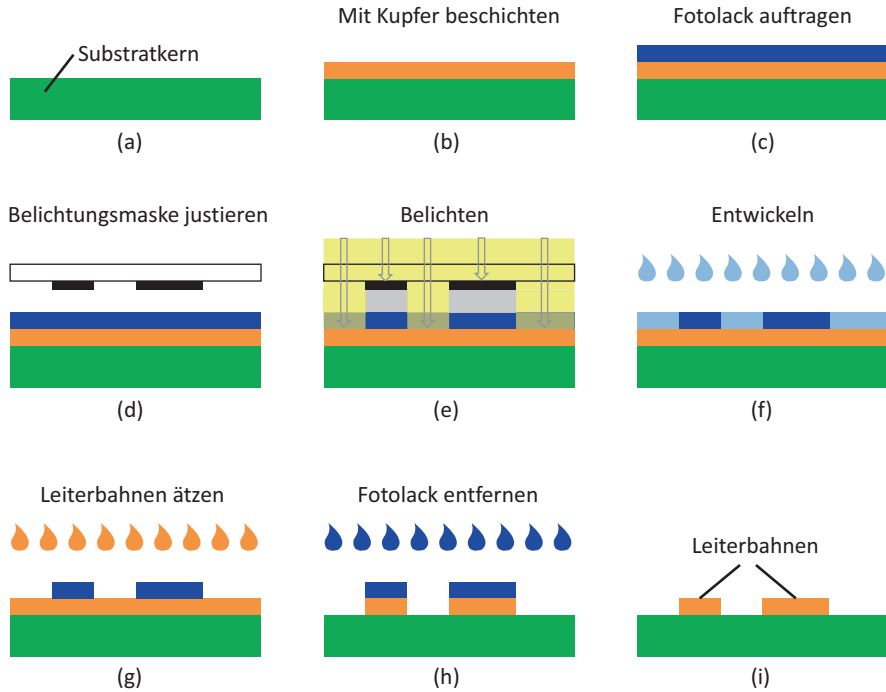


Abb. 1.1 Querschnittsdarstellung der Herstellung von elektrischen Verbindungen (Leiterbahnen) auf Leiterplatten (PCB) mittels Fotolithografie und anschließendem Ätzen der Kupferschicht

tete Bereiche in gelb und schattierte Bereiche in grau, Abb. 1.1e). An den belichteten Stellen (in Abb. 1.1f hellblau dargestellt) wird der Fotolack dadurch löslich und lässt sich mit der Entwicklerflüssigkeit ablösen. Die unbelichteten Bereiche behalten ihren Fotolack, der die darunter liegende Kupferschicht vor dem Ätzen im nächsten Schritt (g) schützt, so dass das Ätzmittel nur das Kupfer an den ungeschützten Stellen abträgt. Man sagt, der Fotolack „maskiert“ die Ätzung. Nach der Ätzung bleibt das Kupfer also nur an den zuvor unbelichteten Stellen übrig und der verbliebene Fotolack wird mit einer weiteren hierfür geeigneten Flüssigkeit abgelöst (h). Als Ergebnis erhält man die auf der Belichtungsmaske abgebildete Leiterbahnstruktur in der Kupferschicht (i).

Der Vorgang, mit dem man das Bild einer Fotomaske mittels Belichtung und anschließender Entwicklung in einen Fotolack überträgt (Schritte c bis f), wird als *Fotolithografie* bezeichnet.

Benötigt man nur sehr geringe Stückzahlen einer Leiterplatte, z. B. für Prototypen oder Testplatinen, so werden die Leiterbahnen manchmal nicht durch fotolithografisch maskiertes Ätzen, sondern durch mechanisches Abtragen (Fräsen) der Metallschicht erzeugt.

Multilayer-Leiterplatten

Leiterplatten können aus mehreren gestapelten Substratkernen aufgebaut sein. So entstehen Mehrlagenplatinen, die man auch als *Multilayer-Leiterplatten* bezeichnet. Abb. 1.2 zeigt als Beispiel eine aus drei Substratkernen bestehende Multilayer-Leiterplatte, die sechs Leiterbahnebenen (auch als *Verdrahtungsebenen* oder *Routing-Layer* bezeichnet) enthält (die Ober- und Unterseite jedes der drei Substratkern). Die Substratkern sind mit einem Haftvermittler (auch *Prepreg* genannt) zusammengeklebt, der auch als elektrischer Isolator zwischen den gegenüberliegenden Kupferschichten benachbarter Substratkern wirkt, um Kurzschlüsse zu verhindern.

Um elektrische Verbindungen zwischen unterschiedlichen Verdrahtungsebenen zu ermöglichen, setzt man Durchkontaktierungen ein, oft als *Vias* bezeichnet. Hierzu werden am Anfang des Herstellungsprozesses in die einzelnen Substratkern Löcher gebohrt, deren Wände man anschließend mit Kupfer beschichtet, damit sie elektrisch leiten. Je nach Lage dieser Löcher spricht man von *vergrabenen* (*buried*), *teilvergrabenen* (*blind*) und *durchgehende* (*through-hole*) Vias (s. Abb. 1.2). Letztere werden erst nach dem Verpressen gebohrt.

Montagetechnologien

Für die Montage von Bauteilen auf Leiterplatten werden hauptsächlich zwei verschiedene Technologien verwendet:

- *Durchsteckmontage* (*through-hole technology, THT*) und
- *Oberflächenmontage* (*surface-mount technology, SMT*).

Für die Durchsteckmontage benötigt man Bauteile, deren elektrische Anschlüsse als Drähte herausgeführt sind. Diese Drähte werden in durchgehende Bohrlocher eingesteckt und auf der gegenüberliegenden Seite verlötet (s. Abb. 1.2 links). Durch Kapillarwirkung wird das flüssige Lot auch in das verkupferte Montageloch gesaugt, wodurch eine sehr feste Verbindung entsteht. Für die Oberflächenmontage verwendet man Bauelemente, deren Pins als Metallflecken (Oberflächenmetallisierung, in Abb. 1.2 schwarz dargestellt) ausgeführt sind. Entsprechend dieser Montagetechnologien unterscheidet man daher auch *bedrahtete Bauelemente* (*through-hole devices, THDs*) und *oberflächenmontierte Bauelemente* (*surface-mount(ed) devices, SMDs*).

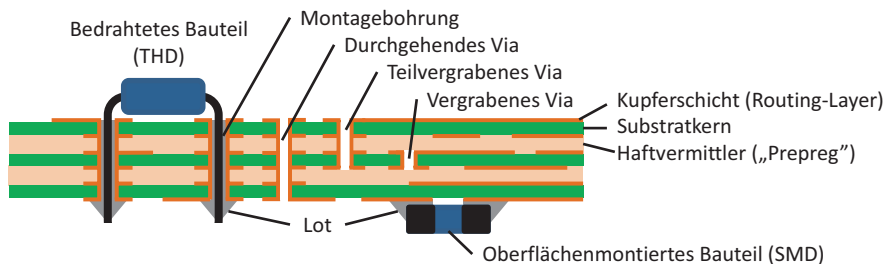


Abb. 1.2 Querschnitt einer Multilayer-Leiterplatte mit sechs Routing-Layern

Die beiden Montagetechnologien können auch gemischt auftreten. Gegenüber THDs sind SMDs wesentlich einfacher durch automatische Bestückungssysteme zu verarbeiten. Da SMDs zudem kleiner sind und sich beidseitig auf einer Leiterplatte montieren lassen, erlauben sie wesentlich höhere Packungsdichten als THDs. Aufgrund dieser Vorteile überwiegt heutzutage die Oberflächenmontage.

Neben diskreten Bauelementen lassen sich auch integrierte Schaltungen (ICs) auf Leiterplatten montieren. Im Allgemeinen müssen sie hierfür in einem *Gehäuse (package)* „verpackt“ sein. Manchmal werden aber auch unverpackte Chips (*bare dies*, auch *Nackchips* genannt) direkt auf Leiterplatten montiert. In diesem Fall ist zu berücksichtigen, dass die Stabilität der Verbindung aufgrund der unterschiedlichen Wärmeausdehnungskoeffizienten von Halbleitern und Leiterplatten kritisch sein kann.

1.1.2 Hybridtechnologie

Kennzeichnend für die Hybridtechnologie ist, dass einige der elektronischen Bauteile (wie bei Leiterplatten) von außerhalb zugeführt und auf dem Trägersubstrat montiert werden, während andere Bauelemente während der Herstellung direkt auf dem Trägersubstrat entstehen. Hieraus erklärt sich der Name „Hybrid“.

Bei der Hybridtechnologie finden verschiedene Trägermaterialien Anwendung. Verbreitet sind Keramiksubstrate, Glas und Quarz. Auf diesen Trägermaterialien lassen sich SMDs, aber keine THDs montieren, da man in diese Substrate keine Durchgangslöcher für Montagezwecke bohrt.

Ein weiterer Unterschied zur Leiterplatte besteht in der Art, wie die Leiterbahnen aufgebracht werden. Man unterscheidet hierbei die *Dickschichttechnik* und die *Dünnschichttechnik*. Bei der Dickschichttechnik bringt man leitfähige Pasten in einem Siebdruckverfahren auf und brennt sie anschließend ein. Bei der Dünnschichttechnik wird das leitfähige Material zunächst ganzflächig aufgedampft oder aufgesputtert.² Die Leiterbahnen werden anschließend in einem fotolithografisch maskierten Ätzverfahren strukturiert wie bei der Leiterplatte.

Die elektrische Leitfähigkeit der abgeschiedenen Schichten lässt sich in einem großen Bereich einstellen, so dass man mit diesen Verfahren neben Leiterbahnen auch elektrische Widerstände erzeugen kann. Durch Nachbearbeitung mit einem Laser lassen sich die Widerstandswerte genau justieren. Bei diesem sog. „Trimmen“ schneidet man die flächigen Widerstände mit einem Laserstrahl von außen senkrecht zum Stromfluss ein. Während des Schneidevorgangs steigt der Widerstandswert kontinuierlich. Der Schnitt wird so weit verlängert, bis sich der gewünschte Zielwert einstellt.

Auch Isolationsschichten sind möglich, so dass durch abwechselndes Stapeln von leitfähigen und isolierenden Schichten Mehrlagenverdrahtung und auch Kon-

²Sputtern ist ein physikalischer Vorgang, bei dem Atome aus einem Festkörper durch Beschuss mit hochenergetischen Ionen herausgelöst werden und in die Gasphase übergehen.

densatoren realisierbar sind. Eine andere Art, Kondensatoren zu erzeugen, besteht darin, dass man kammartige Leiterbahnstrukturen innerhalb einer Metallebene ineinander verschachtelt. Ein Beispiel für einen solchen gedruckten Kondensator ist in Abb. 1.3 dargestellt.

Beispiel: LTCC-Technik

Eine weit verbreitete Variante der Dickschicht-Hybride ist die *LTCC-Technik* (*Low Temperature Cofired Ceramics*), deren Fertigungsablauf wir uns stellvertretend für die vielen Technologievarianten in Abb. 1.3 genauer anschauen.

Bei der LTCC-Technologie verwendet man kein vorgefertigtes Keramiksubstrat. Stattdessen beginnt die Herstellung mit Folien, in denen die Keramikmasse in Pulverform, die mit weiteren Stoffen gebunden ist, vorliegt. Diese als *Green Sheets* (a) bezeichneten Folien werden in späteren Verarbeitungsschritten, wie wir weiter unten zeigen, verfestigt und bilden den Keramikträger.

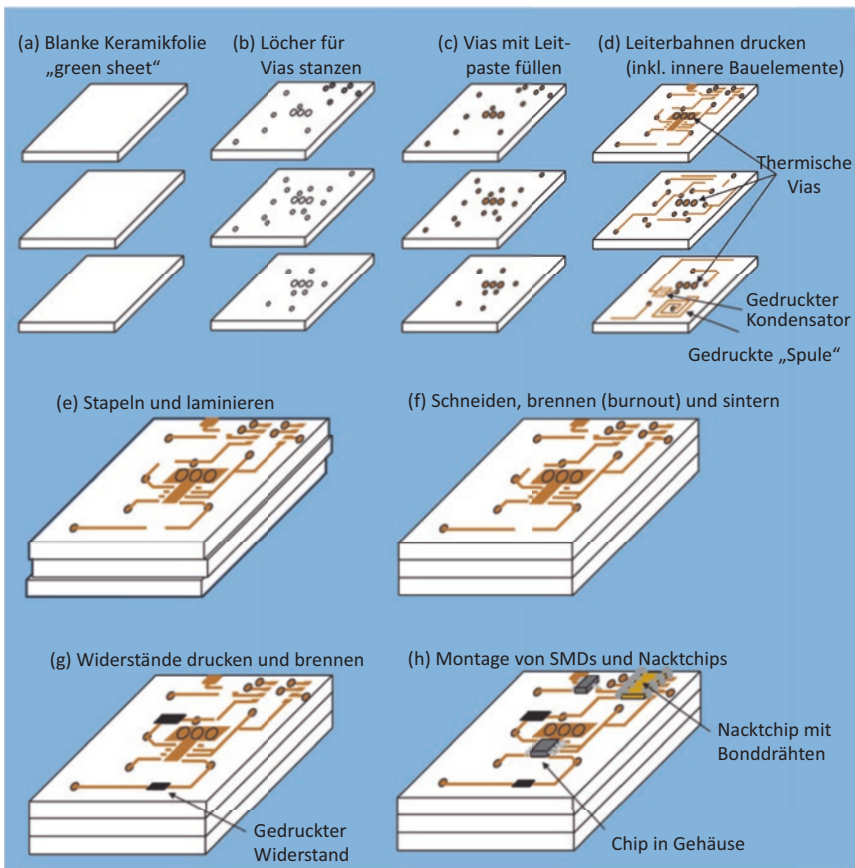


Abb. 1.3 Herstellung einer LTCC-Hybridschaltung mit gedrucktem Kondensator, Spule und Widerstand (LTCC: low temperature co-fired ceramics)

Zunächst werden Löcher für die Vias in die Green Sheets gestanzt (b) und mit leitfähiger Paste gefüllt (c). Anschließend bringt man die Leiterbahngeometrien mit leitfähiger Paste im Siebdruckverfahren auf die Green Sheets auf (d). Die so behandelten Green Sheets werden nun aufeinandergestapelt und unter moderater Erwärmung laminiert, d. h. miteinander verbunden (e). Anschließend wird der Stapel auf Maß geschnitten, zusammengepresst und in einem Ofen gebrannt (f). Bei diesem Brennvorgang schrumpft das Material durch Entweichen des Bindemittels und sintert zu einer Keramikplatte, die auf diese Weise mehrere Leiterbahnebenen in ihrem Inneren enthalten kann. Den mechanischen Pressdruck hält man auch beim Brennen aufrecht. Dadurch lässt sich erreichen, dass der Schrumpfvorgang fast ausschließlich in der z-Achse stattfindet, so dass die lateralen Abmessungen weitgehend erhalten bleiben. Anschließend werden die Widerstände und die leitenden Flächen zur späteren Kontaktierung von SMDs und ICs aufgedruckt und ebenfalls eingebrannt (g).

Schließlich montiert man die SMDs und ICs (h). Bei den SMDs erfolgt die Kontaktierung über einen Leitkleber oder durch Reflow-Lötung. Die ICs können aufgrund der ähnlichen Wärmeausdehnungskoeffizienten des keramischen Trägermaterials und des Halbleitermaterials (Silizium) auch als Nackchips montiert werden. Ihr elektrischer Anschluss erfolgt über sog. *Bonddrähte*, die von Kontaktflächen auf dem IC, den sog. *Bondpads* oder *Pads*, zu Kontaktflächen auf dem Hybridträger führen.

Vorteile der Hybridtechnologie gegenüber der Leiterplattentechnologie sind (i) eine höhere mechanische Stabilität (z. B. für extreme Vibrations- und Stoßbelastungen in Kraftfahrzeugen), (ii) eine höhere Packungsdichte (durch Bestückbarkeit mit Nackchips) und (iii) eine bessere Ableitung von Verlustwärme. Letzteres wird bei LTCCs hauptsächlich dadurch erreicht, dass der Hybrid-Schaltkreis sich ganzflächig mit guter thermischer Anbindung auf einer Wärmesenke montieren lässt.

Nachteilig gegenüber Leiterplatten sind die meist höheren Herstellungskosten.

1.1.3 Halbleitertechnologie

Bei den bisher besprochenen Technologien müssen die elektronischen Bauelemente ganz oder teilweise von außen hinzugeliefert werden. Im Gegensatz hierzu ist man mit der *Halbleitertechnologie* in der Lage, eine elektronische Schaltung in ihrer Gesamtheit zu erzeugen, d. h. in dem Herstellungsverfahren entstehen alle elektronischen Bauelemente und alle elektrischen Verbindungen. Die Schaltung wird hierbei vollständig auf einem monolithischen (d. h. aus einem Stück bestehenden) Halbleiterplättchen integriert, woraus sich die Bezeichnung *integrierter Schaltkreis* (*Integrated circuit, IC*) ableitet. Diese kleinen, dünnen, aus Silizium bestehenden Plättchen nennt man auch *Chips*.

Natürlich kann man die Halbleitertechnologie auch nutzen, um diskrete (d. h. einzelne) elektronische Bauelemente zu bauen. Typische Beispiele hierfür sind Dioden, Transistoren und Thyristoren zur Steuerung großer Ströme in der Leistungs-

elektronik. Schaut man aber genauer hin, ist zu erkennen, dass auch diese Bauteile zumeist aus sehr vielen gleichartigen und parallel geschalteten Einzelbauelementen auf dem Chip bestehen. Oft sind auch noch Schutzbeschaltungen integriert, die die Eigenschaften des Bauteils verbessern, aber ansonsten nach außen nicht in Erscheinung treten.

Was sind Halbleiter? – Physikalische Aspekte von Halbleitermaterialien

Halbleitende Materialien können zwar elektrischen Strom leiten, allerdings ist ihr elektrischer Widerstand bei Raumtemperatur recht hoch. Mit steigender Temperatur nimmt ihre Leitfähigkeit jedoch exponentiell zu. Dieses Temperaturverhalten, das sich von normalen elektrischen Leitern (Metallen) grundlegend unterscheidet, ist die Auswirkung einer Schlüsseleigenschaft der Halbleiter, weshalb wir uns die zugrunde liegende Physik etwas genauer anschauen wollen.

Für einen Stromfluss sind frei bewegliche Ladungsträger erforderlich. In Festkörpern sind diese Ladungsträger Elektronen. Die Frage ist also: „Wie erhalten wir genügend ‚freie‘ Elektronen?“ Wie wir wissen, umkreisen die Elektronen den Atomkern, und ihr Energieniveau nimmt zu, je weiter sie vom Kern entfernt sind. Ebenfalls bekannt ist, dass sie dabei nur auf bestimmten energetischen Niveaus existieren können, die als *Schalen* bezeichnet werden und die sich im Verbund vieler Atome zu sog. *Bändern* aufweiten. Das äußere mit Elektronen besetzte Band eines Stoffes wird *Valenzband* genannt. Können nun Elektronen des Valenzbandes (sog. *Valenzelektronen*) so viel zusätzliche Energie aufnehmen (z. B. durch Zufuhr von Wärme), dass sie in das nächsthöhere Band gelangen, können sie sich dort frei bewegen und somit zur Stromleitung beitragen. Dadurch erhöht sich die Leitfähigkeit, weshalb man dieses Band auch als *Leitungsband* bezeichnet.

In sehr leitfähigen Materialien wie Metallen liegen Valenz- und Leitungsband besonders dicht beieinander; sie können sich sogar überlappen (siehe den orange-farbenen Bereich in Abb. 1.4). In diesem Fall haben sehr viele Valenzelektronen

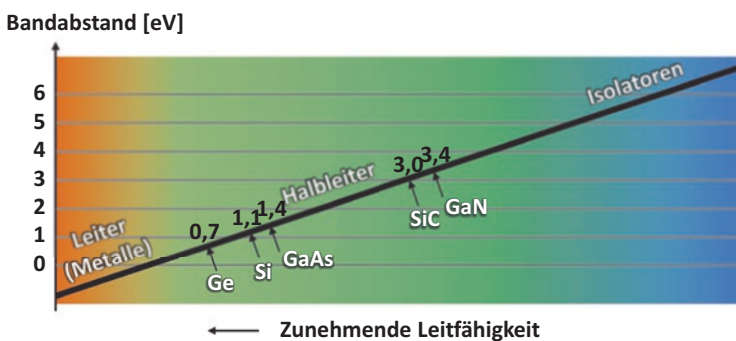


Abb. 1.4 Bandabstand von Materialien der Kategorien „Leiter“, „Halbleiter“ und „Isolator“. Eingetragen sind (gerundete) Werte für typische Halbleiterstoffe bei 300 K. (SiC kann je nach gebildetem Kristallgitter Werte zwischen 2,4 eV und 3,3 eV annehmen. Dargestellt ist der Wert für das Kristallgitter „6H“.)

bereits bei Raumtemperatur genügend Energie, dass sie in das Leitungsband springen können. Daher sind Metalle ausgezeichnete Leiter. Bei Isolatoren hingegen ist der energetische Abstand ΔE zwischen Valenz- und Leitungsband (die sogenannte *Bandlücke* oder der *Bandabstand*) so groß, dass er eine faktisch unüberwindbare Schwelle darstellt. In diesem Fall gibt es praktisch keine Elektronen im Leitungsband (blauer Bereich in Abb. 1.4).

Charakteristisch für Halbleiter ist eine Bandlücke, die zwischen diesen beiden Extremen liegt (zentraler grüner Bereich in Abb. 1.4). Dieser Abstand ist einerseits so groß, dass bei Raumtemperatur nur sehr wenige Elektronen des Valenzbandes genügend zusätzliche Energie haben, das Leitungsband zu erreichen. Andererseits liegt das Leitungsband aber nahe genug, dass bereits eine Erwärmung im Bereich von wenigen hundert Kelvin über Raumtemperatur genügend Energie liefert, die Anzahl freier Elektronen und damit die Leitfähigkeit um mehrere Größenordnungen zu steigern.

Die Leitfähigkeit steigt dabei nicht nur durch die freien Elektronen des Leitungsbandes, sondern auch durch die im Valenzband entstehen Elektronenlücken, die man als *Defektelektronen* oder auch kurz als *Löcher* bezeichnet. Ein derartiges Loch kann sehr leicht durch das Valenzelektron eines benachbarten Atoms ausgefüllt werden, wodurch das Loch zwar verschwindet, dafür im „elektronenabgebenden“ Atom aber ein neues Loch entsteht. Durch einen solchen kettenartigen Platztausch von Valenzelektronen kann ebenfalls ein Stromfluss zustande kommen, was man als *Löcherleitung* bezeichnet. Löcher können daher als freie, positiv geladene Ladungsträger betrachtet werden.

Elektronen und Löcher entstehen also immer paarweise. Die Entstehung eines Elektron-Loch-Paars heißt *Generation*. Wird ein Loch durch ein freies Elektron, das ins Valenzband zurückfällt, besetzt, spricht man von *Rekombination*. Im thermischen Gleichgewicht ist die Generationsrate gleich der Rekombinationsrate, was zu einer zeitlich konstanten Anzahl von freien Ladungsträgern pro Volumeneinheit (Ladungsträgerkonzentration) führt.

Die hier geschilderte Erzeugung freier Ladungsträger (Elektronen und Löcher) durch thermische Energiezufuhr ist allerdings nicht das Ziel der technischen Anwendung, sondern soll nur die zugrundeliegende Physik verdeutlichen, um die eingangs angedeutete Schlüsseleigenschaft von Halbleitern, auf die wir nun eingehen wollen, besser zu verstehen.

Dotieren von Halbleitern

Hierzu betrachten wir Silizium als typisches Beispiel (Abb. 1.5). Für Silizium hat die Bandlücke zwischen dem oberen Rand des Valenzbandes E_V und dem unteren Rand des Leitungsbandes E_C den Wert $\Delta E = E_C - E_V = 1,1$ eV. Das Valenzband von Silizium enthält vier Elektronen, weshalb man auch sagt, es ist „4-wertig“. Ersetzt man nun ein Siliziumatom durch ein Atom eines anderen 5-wertigen Elements (geeignet sind Phosphor, Arsen und Antimon), so „passt“ dieses zusätzliche Elektron nicht in das Valenzband des umgebenden Siliziumkristalls. Es liegt auf einem Energieniveau E_D , das nur knapp unterhalb des Leitungsbandes von Silizium liegt – so knapp, dass es bereits bei Raumtemperatur genügend thermische Energie besitzt,

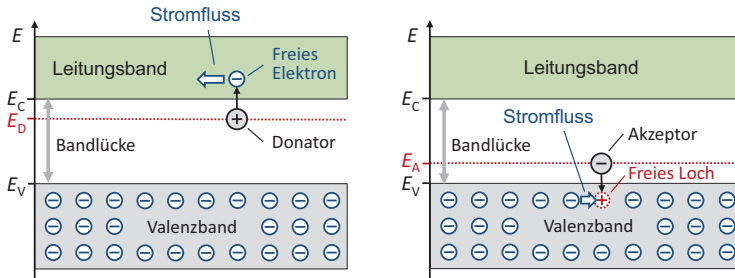


Abb. 1.5 Erzeugung von freien Ladungsträgern durch Dotierung mit Donatoren (links) und mit Akzeptoren (rechts) zur Ermöglichung eines Stromflusses mit Elektronen (links) und mit Löchern (rechts)

um in das Leitungsband zu gelangen (Abb. 1.5, links). Dieser Effekt lässt sich technisch nutzen, indem man gezielt 5-wertige Fremdatome in das Silizium einbringt und dadurch dessen Leitfähigkeit erhöht.

Statt 5-wertiger Fremdatome kann man zur Erhöhung der Leitfähigkeit auch 3-wertige Fremdatome, wie Bor, Indium und Aluminium, in das Silizium einbringen. In diesem Fall bietet das Fremdatom ein Energieniveau E_A , das nur knapp über der Valenzbandkante E_V des Siliziums liegt, wodurch es sehr leicht ein viertes Elektron aus einem benachbarten Siliziumatom aufnehmen kann (Abb. 1.5, rechts). Dadurch erhöht sich die Anzahl der Löcher im Valenzband des Siliziums. Diese wirken, wie oben erwähnt, wie frei bewegliche positive Ladungsträger und stehen für einen möglichen Stromfluss zur Verfügung.

Das Einbringen von Fremdatomen in ein Halbleitersubstrat nennt man *Dotierung*. 5-wertige Fremdatome bezeichnet man als *Donatoren*, da sie ein Elektron (in das Leitungsband) abgeben. Sie stehen im Periodensystem in der Spalte rechts von Silizium. 3-wertige Fremdatome nennt man *Akzeptoren* wegen ihrer Fähigkeit, Valenzelektronen von Nachbaratomen aufnehmen zu können. Sie stehen im Periodensystem in der Spalte links von Silizium.

Ein Halbleiter, der Donatoren enthält, wird als *n-dotiert*, ein Halbleiter, der Akzeptoren enthält, als *p-dotiert* bezeichnet. In Bereichen, die sowohl eine n- als auch eine p-Dotierung aufweisen, rekombinieren die über diese Dotierungen erzeugten zusätzlichen Elektronen und zusätzlichen Löcher. Donatoren und Akzeptoren heben sich in ihrer Wirkung also gegenseitig auf.

Entscheidend für die Leitfähigkeit ist immer ein verbleibender Überschuss an Donatoren oder Akzeptoren. Der Halbleiter gilt als *n-leitend*, wenn ein Stromfluss aufgrund eines Überschusses an Donatoren mehrheitlich von *negativen* Ladungsträgern (also von Elektronen) getragen wird. Als *p-leitend* bezeichnet man den Halbleiter, wenn es überwiegend *positive* Ladungsträger (also Löcher) sind, die zum Stromfluss beitragen, was durch einen Überschuss an Akzeptoren zustande kommt. Die jeweils überwiegende Ladungsträgerart nennt man *Majoritäten* oder *Majoritätsträger*. Entsprechend spricht man bei der jeweils korrespondierenden Ladungsträgerart, die sich in der Minderheit befindet, von *Minoritäten* oder *Minoritätsträgern*.

Technische Nutzung von Halbleitern

Für die Herstellung integrierter Schaltkreise wird hochreines Halbleitermaterial in monokristalliner Form benötigt. Alle Atome müssen räumlich in einer durchgehend regelmäßigen Struktur angeordnet sein. Da diese Art von Struktur in der Natur nicht vorkommt, muss man sie technisch herstellen. Dies geschieht durch „Züchten“ von Kristallblöcken in Stangenform, die dann in sehr dünne Scheiben, sogenannte *Wafer*, geschnitten werden, die das Ausgangsmaterial für die Chip-Herstellung bilden. Ein Wafer kann eine riesige Anzahl von Chips enthalten – je nach Chip- und Wafergröße Hunderte bis Zehntausende – die sich alle gleichzeitig auf dem Wafer herstellen lassen. Am Ende des Herstellungsprozesses gewinnt man die einzelnen Chips, sog. *Dies*, durch orthogonale Schnitte aus dem Wafer.

Abb. 1.6 zeigt einen fertig prozessierten Wafer unter einem Mikroskop. Die Chips sind bereits „vereinzel“, d. h. voneinander getrennt. Sie werden durch eine Klebefolie (sog. „Blue tape“ oder „Dicing tape“) für die nächsten Verarbeitungsschritte an ihrem Platz gehalten.

Das am häufigsten verwendete Material in der Halbleiterindustrie ist Silizium. Für spezielle Anwendungen nutzt man aber auch andere halbleitende Materialien. Verbreitet sind Galliumarsenid (GaAs) und Siliziumgermanium (SiGe) für HF-Schaltungen sowie Galliumnitrid (GaN) und Siliziumkarbid (SiC) in der Leistungselektronik. In SiC und SiGe sind zwei 4-wertige Elemente kombiniert; in GaAs und GaN ist jeweils ein 3-wertiges Element mit einem 5-wertigen Element kombiniert. Die resultierende kristalline Struktur verhält sich wiederum wie ein 4-wertiges Element.

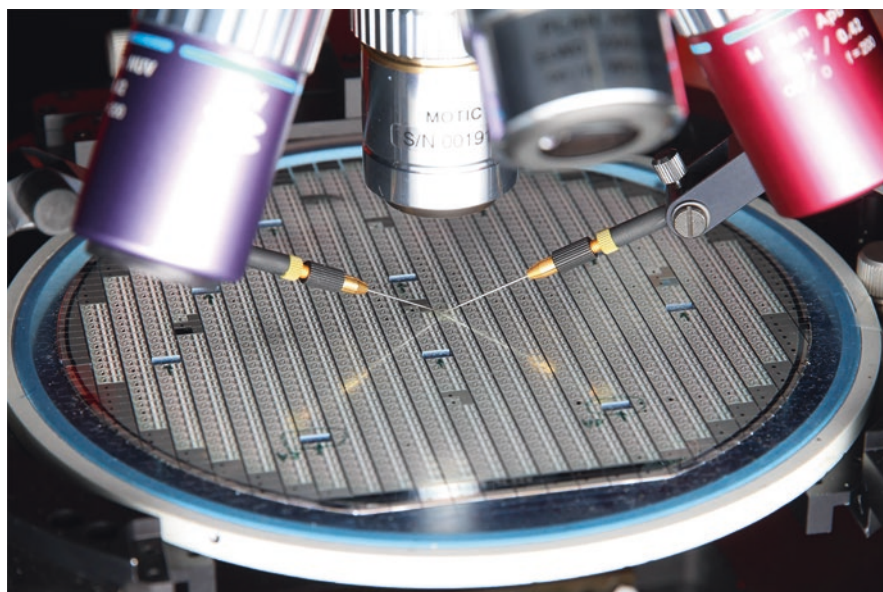


Abb. 1.6 Fertig prozessierter Wafer unter dem Mikroskop. Die Chips bzw. Dies sind bereits vereinzel (frei gesägt). Einige Chips wurden schon entnommen. Ein Chip ist für Testzwecke durch zwei Messnadeln kontaktiert

Integrierte elektrische Bauelemente und Leiterbahnen

Integrierte Bauelemente entstehen im Wesentlichen dadurch, dass man einen Wafer mehrfach unterschiedlich dotiert. Diese Dotiervorgänge können sich unterscheiden (i) in der Art der Fremdatome (meist gibt es mehrere mögliche Donatoren und Akzeptoren), (ii) in der Konzentration (Anzahl der Fremdatome pro Volumeneinheit), (iii) in der Eindringtiefe (bis zu einigen μm) und (iv) durch den Ort der Dotierung.

Es gibt einfache Halbleiterprozesse mit weniger als zehn Dotiervorgängen. Bei komplexen Prozessen können mehr als zwanzig Dotierungen anfallen. Oft lässt man zwischen den Dotierschritten noch zusätzliche Schichten aus dem verwendeten Basismaterial an der Oberfläche des Wafers aufwachsen, was man als *Epitaxie* bezeichnet.

Wie bei dem in Abschn. 1.1.1 vorgestellten Verfahren zur Strukturierung von Leiterbahnen auf Leiterplatten, so wird auch beim Dotieren eine fotolithografisch erzeugte Maskierung angewendet. Sie ermöglicht ein selektives Einbringen von Dotierstoffen in die Waferoberfläche, womit sich verschieden dotierte Bereiche realisieren lassen.

Die unterschiedlichen Dotiergebiete werden so dimensioniert und kombiniert, dass hierdurch die gewünschten elektronischen Bauelemente (Transistoren, Dioden, Widerstände etc.) entstehen. An dieser Stelle ist hinsichtlich des Sprachgebrauchs aber Vorsicht angebracht. Wenn wir im Kontext integrierter Schaltungen von „Bauelementen“ sprechen, so sollte uns bewusst sein, dass es sich dabei immer nur um bestimmte Teilgebiete eines einzigen Stücks Halbleitermaterial handelt. Im Unterschied zu den „Bauteilen“ auf Leiterplatten existieren diese, in einem IC *integrierten* „Bauelemente“ also niemals isoliert voneinander. Durch die materielle Einbettung in den Halbleiterkristall kann es stets zu Wechselwirkungen zwischen den Bauelementen kommen. Diese Wechselwirkungen sind zumeist unerwünscht (man spricht von *Parasitäreffekten*) und sind im Entwurfsablauf zu berücksichtigen, wie wir in Kap. 7 ausführlich erläutern.

Ablauf einer Halbleiterfertigung

Ein Wafer ist etwas weniger als 1 mm dick. Die elektrisch aktiven Teile befinden sich allerdings nur in einer sehr dünnen Schicht an einer der beiden Oberflächen. Abb. 1.7 zeigt diesen Bereich von etwa 1 bis 2 % der Waferdicke im Querschnitt für drei Stadien des Fertigungsablaufs.

Die Halbleiterfertigung beginnt mit einem *Rohwafer* (Abb. 1.7a). Im sog. „*Front-end-of-line*“ (FEOL) des Halbleiterprozesses³ erfolgen alle Dotierungen und ggf. auch eine Epitaxie. Das Ergebnis ist beispielhaft in Abb. 1.7b anhand eines Bipolartransistors vom NPN-Typ⁴ dargestellt. Die mit Fremdatomen dotierten Bereiche

³Während sich der Begriff „Front-end-of-line“ (FEOL) auf den ersten Teil der IC-Fertigung bezieht, in dem die einzelnen Bauelemente strukturiert werden, umfasst „Back-end-of-line“ (BEOL) die anschließende Herstellung der metallischen Verdrahtungsebenen. Beide werden in Kap. 2 behandelt.

⁴Bipolartransistoren sind Bauelemente, deren Betrieb von beiden Ladungsträgerarten (Elektronen und Löcher) abhängt. Wir behandeln Bipolartransistoren und ihre Funktionsweise ausführlich in Kap. 6.

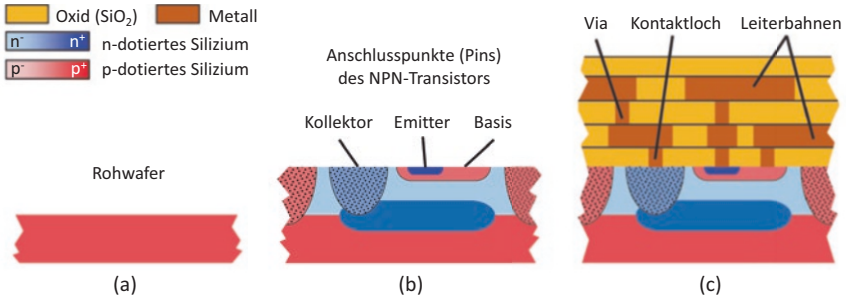


Abb. 1.7 Schematischer Querschnitt durch einen NPN-Transistor **a** zu Beginn, **b** nach „Front-end-of-line“ (FEOL) und **c** nach „Back-end-of-line“ (BEOL) des Halbleiterprozesses. n-dotierte Bereiche sind blau, p-dotierte Bereiche rot gezeichnet. Metallische Schichten sind braun und isolierende Schichten ockerfarben

sind darin farblich gekennzeichnet. Wir stellen in diesem Lehrbuch n-dotierte Bereiche immer blau und p-dotierte Bereiche immer rot dar. Man erkennt, dass der Rohwafer (a) p-dotiert ist und die Epitaxialschicht (b, aufgebaut auf dem Rohwafer) n-dotiert.

In dem auf das FEOL folgenden sog. „Back-end-of-line“ (BEOL) des Halbleiterprozesses werden dann abwechselnd isolierende Schichten (ocker) und metallische Schichten (braun) aufeinandergestapelt und strukturiert. Hierbei entstehen die Leiterbahnen und Durchkontaktierungen. Das Ergebnis des BEOL zeigt Abb. 1.7c für den Fall von zwei Verdrahtungsebenen.

Wie bei Leiterplatten bezeichnet man die elektrischen Verbindungen zwischen zwei benachbarten Metallschichten auch beim IC als „Vias“. Dieser Sprachgebrauch gilt nicht für die elektrischen Verbindungen der Anschlusspunkte integrierter Bauelemente von der Siliziumoberfläche zur untersten (ersten) Metallschicht. Bei ICs spricht man hier üblicherweise von *Kontakten* oder *Kontaktlöchern* (s. Abb. 1.7c). Wir weisen darauf hin, dass wir im Rahmen dieses Buches den Begriff *Durchkontaktierung* oder *Durchkontakt* für alle diese vertikalen Verbindungen, d. h. als Oberbegriff für „Via“ und „Kontakt“, verwenden.

Alle Strukturierungsmaßnahmen, ob zur Erzeugung begrenzter Dotiergebiete im FEOL oder zur Herstellung von Leiterbahnen und Durchkontakten im BEOL, werden durch fotolithografische Prozesse realisiert. Dieses Verfahrensprinzip haben wir bereits in Abschn. 1.1.1 bei der Leiterplattentechnologie kennengelernt. Im Unterschied zu Leiterplatten sind die auf einem modernen Chip erzeugten Strukturen allerdings um viele Größenordnungen kleiner (im Nano- bis Mikrometerbereich), woraus sich im Vergleich sehr viel detailliertere und komplexere Gesamtstrukturen ergeben. In der Fertigung von ICs spielt die Fotolithografie eine Schlüsselrolle. Wir werden sie in Kap. 2 im Rahmen der Halbleitertechnologie ausführlich behandeln.

1.2 Integrierte Schaltungen

1.2.1 Bedeutung und Merkmale

Seit dem Erscheinen der ersten integrierten Schaltkreise (ICs) in den 1960er-Jahren hat sich die Mikroelektronik in einem atemberaubenden Tempo entwickelt. Sie ist längst zu einer Schlüsseltechnologie für unseren technischen Fortschritt geworden. Sie hat unser aller Leben schon massiv verändert und wird dies weiterhin tun. Doch woher kommt diese gewaltige, nicht nachlassende Gestaltungskraft? Wir wollen versuchen, diese Frage zu beantworten. Dabei werden wir sehen, dass die Mikroelektronik einige ganz spezielle Eigenschaften in sich vereint und wir sollten erkennen, dass die Triebkräfte dieser rasanten, anhaltenden technischen Evolution aus der Kombination dieser speziellen Eigenschaften erwachsen.

Die Idee, elektronische Schaltkreise auf einem einzigen Stück Halbleitermaterial zu integrieren, wurde erstmals gegen Ende der 1950er-Jahre von Jack Kilby [1] und Robert Noyce [2] unabhängig voneinander geäußert. Der erste kommerzielle integrierte Schaltkreis wurde 1961 hergestellt: Es handelte sich um ein logisches Speicherelement (*Flipflop* genannt) mit vier Transistoren und fünf Widerständen [3].

Das war die Geburtsstunde der Mikroelektronik und der Beginn des modernen Computerzeitalters. Von diesem Zeitpunkt an entwickelte sich die Halbleitertechnologie immer weiter, begleitet von einer unaufhörlichen Miniaturisierung der Strukturen auf einem IC. Diese Miniaturisierung ist die Triebfeder für eine Reihe von Effekten, die sich gegenseitig verstärken und deren kumulative Wirkung bei näherer Betrachtung immer wieder verblüfft.

Durch die stetige Verkleinerung der einzelnen Bauelemente verbrauchen die integrierten Schaltkreise immer weniger Energie, arbeiten dabei schneller und es lassen sich immer mehr Funktionen auf einem Chip unterbringen. Diese Effekte sind gut nachvollziehbar und daher leicht zu verstehen. Weniger offensichtlich ist, dass die realisierten Funktionen dabei auch immer billiger werden. Warum ist das so? Mit zunehmender Miniaturisierung werden die Halbleiterprozesse ja immer aufwändiger, was grundsätzlich zur Verteuerung von Chipfläche führt. Durch die Verkleinerung benötigen die einzelnen Funktionen aber auch eine geringere Fläche auf dem Chip. Dadurch lässt sich die Verteuerung der Prozesskosten immer wieder überkompensieren. Mit jeder neuen Chip-Generation erhält man deshalb mehr Leistung für sein Geld, d. h. „mehr Funktionalität zum gleichen Preis“.

Noch weniger offensichtlich, aber für den Erfolg der Mikroelektronik nicht minder wichtig, ist schließlich noch ein weiterer Effekt. Die immer höhere Integrationsdichte in Chips wirkt sich sehr positiv auf die Zuverlässigkeit elektronischer Systeme aus, denn jedes nicht benötigte diskrete Bauelement, jede wegfallende Lötstelle und jeder eingesparte Steckkontakt verringert die Wahrscheinlichkeit eines Systemausfalls. Hinsichtlich des statistischen Ausfallrisikos stellt ein Chip in erster Näherung nur ein einziges Bauteil dar. (Erinnern wir uns: integrierte „Bauelemente“ sind nur kleine Teilgebiete *eines* monolithischen Halbleiterchips.) Systeme, die aus hochintegrierten ICs aufgebaut sind, haben daher viel weniger mögliche Fehlerstellen, was zu einer entsprechend geringeren Ausfallwahrscheinlichkeit führt.

Ein kleines Gedankenexperiment soll die geschilderten Effekte verdeutlichen. Wollte man die Elektronik eines modernen Mobiltelefons aus lauter diskreten Bauelementen in Leiterplattentechnologie aufbauen, so bräuchte man, um diese unterzubringen, ein Gehäuse mindestens so groß wie die weltweit größten Industriegebäude. Ein derart monströses „Gerät“ wäre nicht nur äußerst unhandlich und damit unbrauchbar; es wäre auch unbezahlbar. Abgesehen davon wäre es praktisch auch ständig defekt (womit man dann wenigstens das Problem, dass es zum Betrieb die Leistung eines Kraftwerks benötigte, los wäre).

Dieses Extrembeispiel zeigt die wundersame Macht der Mikroelektronik. Sie kommt zustande durch das Zusammenwirken der sechs oben geschilderten Effekte. Fassen wir diese Effekte nochmals zusammen: die fortgesetzten Verbesserungen in der Mikroelektronik machen elektronische Systeme immer kleiner, schneller, sparsamer, intelligenter, billiger und zuverlässiger.⁵ Betrachten wir andere technische Domänen (z. B. Automobile), erkennen wir schnell, dass sich diese sechs Eigenschaften normalerweise nicht alle gleichzeitig verbessern lassen. In der Regel wirken sie einander entgegen und die Ingenieure müssen für jeden Anwendungsfall den optimalen Kompromiss finden. Bei der Mikroelektronik ist das anders. Hier verstärken sich sämtliche wünschenswerten Eigenschaften gegenseitig. Dadurch lassen sich alle relevanten Leistungsmerkmale von ICs immer weiter verbessern, was ihren anhaltenden und nachhaltigen Erfolg erklärt.

1.2.2 *Analoge, digitale und Mixed-Signal-Schaltungen*

Moderne integrierte Schaltkreise sind äußerst komplexe Gebilde. Wollen wir die Aufgaben, die sie erfüllen, besser verstehen, dann sollten wir uns als erstes bewusst machen, dass sie digitale und analoge Schaltungen enthalten. Diese beiden Schaltungstypen unterscheiden sich nicht nur fundamental in ihrer Funktionsweise. Auch hinsichtlich ihrer Eignung für die existierenden Entwurfsverfahren und Halbleiterprozesse gibt es große Unterschiede.

Digitale Schaltungen

Betrachten wir zunächst die digitalen Schaltungen. Sie sind technisch viel einfacher zu handhaben als ihre analogen Gegenstücke, da sie ausschließlich diskrete Signalwerte verarbeiten. Dabei handelt es sich in der Regel um binäre Signale, die nur zwei unterscheidbare Werte zulassen, welche sich als die Binärziffern „1“ und „0“ oder die logischen Werte „wahr“ und „falsch“ interpretieren lassen.

⁵Hinsicht der Zuverlässigkeit müssen wir hier erwähnen, dass das „Downscaling“ in der Halbleiterfertigung auf immer kleinere Strukturgrößen einen Punkt erreicht hat, an dem Alterungseffekte zunehmend kritisch werden. Eines der drängendsten Probleme ist beispielweise die Degradation von Leiterbahnen, hervorgerufen durch Migrationseffekte infolge zunehmender Stromdichten. Vorbeugende Maßnahmen gegen diese Effekte sind vor allem im Layoutentwurf erforderlich. Wir behandeln dieses Thema ausführlich in Kap. 7.

Digitale Logik kann daher elektrisch mit zwei (prinzipiell beliebigen) Spannungspegeln realisiert werden. Es ist ausreichend, wenn diese Spannungspegel nur ungefähr, d. h. innerhalb einer bestimmten Toleranz, erreicht werden. Zwischen den logischen Zuständen ist lediglich ein „verbotener“ Spannungsbereich definiert, um eine eindeutige Unterscheidbarkeit zu gewährleisten. Ein einwandfreier Betrieb lässt sich dadurch erreichen, dass man nach jeder Zustandsänderung mit dem nächsten Lesevorgang stets so lange wartet, bis sich alle logischen Zustände sicher auf einen der definierten Signalpegel eingestellt haben. (Dies wird erzielt, indem man die Taktrate entsprechend einstellt.)

Aus diesen beiden Standardisierungsmaßnahmen, nämlich der Einführung wert- und zeitdiskreter Signale, ergeben sich drei signifikante Vorteile der Digitaltechnik. Sie ist erstens unempfindlich gegen äußere Störungen und ermöglicht auch unter erschwerten Betriebsbedingungen einen fehlerfreien Betrieb. Zweitens lassen sich Digitalschaltungen viel effizienter entwerfen, da man im Entwurfsprozess viele Störeinflüsse, welche im Analogentwurf zwingend zu berücksichtigen sind, vernachlässigen kann. (Dies ermöglicht ganz spezifische, automatisierte Entwurfsmethoden, die wir in Kap. 4 und 5 detailliert besprechen.) Dritter Vorteil: weil digitale Schaltungselemente als reine Schalter arbeiten (hierfür kommen heute überwiegend CMOS-Transistoren⁶ zum Einsatz), müssen sie nur geringe schaltungstechnische Anforderungen erfüllen. Deshalb können sie im Prinzip beliebig klein ausgelegt werden. Mit anderen Worten: sie eignen sich perfekt für die Miniaturisierung. Die Grenze setzt hier lediglich die verfügbare Halbleitertechnologie.

Moderne ICs der Digitaltechnik integrieren mehrere Rechenkerne inklusive der notwendigen Peripherie auf einem Chip. Derartige Chips können mehrere zehn Milliarden Transistoren enthalten. Abb. 1.8 zeigt den Intel® „i7 Haswell-E“ aus dem Jahre 2014 als (historisches) Beispiel. Der in einer 22-nm-Halbleitertechnologie gefertigte Chip hat eine Fläche von 355 mm². Er enthält acht Rechenkerne und besteht aus insgesamt 2,6 Milliarden Transistoren [4]. Bilder dieser Chips erinnern an Satellitenaufnahmen großer Metropolen. Es ist erstaunlich, dass sich auf einem Stück Silizium von der Größe eines Fingernagels heutzutage ein elektronisches System von der Komplexität einer gigantischen Großstadt (die sich über einen ganzen Kontinent erstrecken würde!) präzise und fehlerfrei herstellen lässt.

Analoge Schaltungen

Neben digitalen Schaltkreisen werden in elektronischen Systemen auch analoge Schaltungen benötigt. Diese bilden die Schnittstelle zwischen der abstrakten Welt der digitalen Datenverarbeitung und der uns umgebenden realen Welt, in der es vielerlei physikalische Größen gibt, welche sich im Gegensatz zu digitalen Signalen „fließend“, d. h. zeit- und wertkontinuierlich ändern.

⁶CMOS ist eine Abkürzung für „Complementary Metal Oxide Silicon“. Die CMOS-Technologie umfasst zwei komplementäre unipolare Transistoren vom n- und p-Typ. „MOS“ bezeichnet die in den ersten CMOS-Prozessen verwendete Schichtenfolge: Metall, Oxid, Silizium. Wir behandeln CMOS in Kap. 2 im Detail.

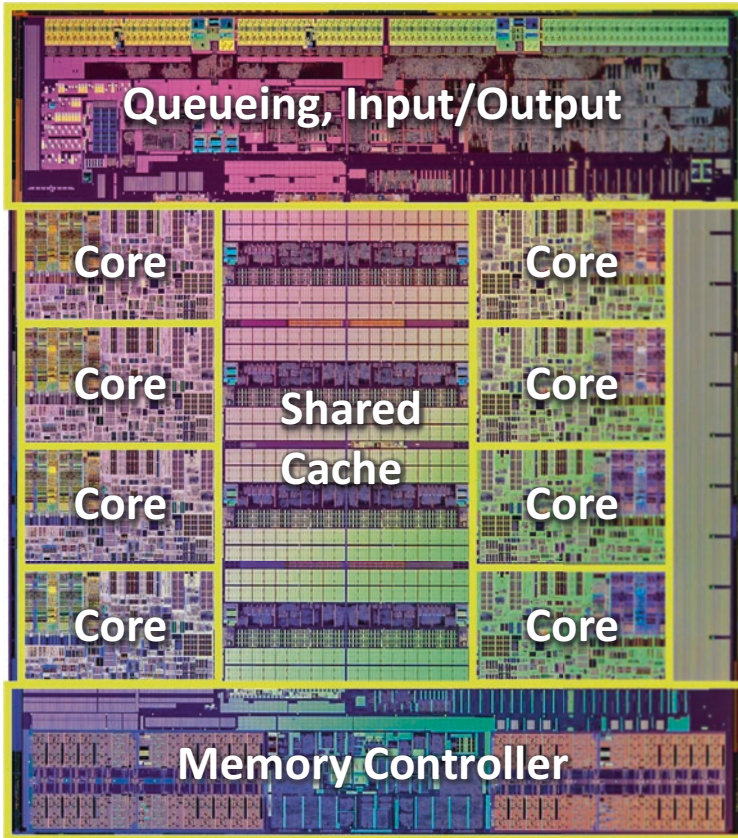


Abb. 1.8 Intel-Mikroprozessor im 22-nm-Technologieknotten mit acht Prozessorkernen („Cores“), Cache-Speicher und allen notwendigen Datenschnittstellen

Diese Aufgabenteilung zeigt viele Analogien zu biologischen Organismen. Neben einem Gehirn zur Informationsverarbeitung benötigt jeder Organismus noch (i) Sinnesorgane, um die Umwelt zu erfassen, (ii) innere Organe zur Versorgung und (iii) Gliedmaßen, um auch physisch agieren, d. h. auf die Umwelt einwirken zu können. In entsprechender Weise benötigt jedes mechatronische oder elektronische System weitere Schaltkreise, die die (digitale) Informationsverarbeitung ergänzen. Diese Systeme (i) tasten analoge Sensoreingänge ab und wandeln sie in digitale Signale um, (ii) versorgen das System mit Strom und Spannung und (iii) setzen die Ergebnisse der digitalen Datenverarbeitung in die leistungselektronische Ansteuerung von Aktoren, wie Elektromotoren, Ventile, Bildschirmanzeigen, Lautsprecher und dergleichen um. All diese Aufgaben werden von vielen unterschiedlichen Schaltungen übernommen, die eines gemeinsam haben: sie verarbeiten und erzeugen *analoge* Signale.

Für viele Aufgaben der analogen Schaltungstechnik kann man die bei Digital-schaltungen verwendete CMOS-Technologie ebenfalls einsetzen. Darüber hinaus

gibt es aber auch viele Anwendungen, bei denen Bauelemente mit besonderen Leistungsmerkmalen erforderlich sind. Hierzu gehören bipolare Transistoren, die sich durch hohe Sperrspannungen und Robustheit auszeichnen und deren Temperaturabhängigkeit sich schaltungstechnisch vorteilhaft nutzen lässt, sowie spezielle Leistungstransistoren, die im eingeschalteten Zustand einen sehr geringen Widerstand aufweisen und sehr große Ströme leiten können. Diese meist kundenspezifischen Schaltungen wurden in den frühen Jahren der Halbleiterindustrie mit unterschiedlichen, separaten Chips realisiert, die in Halbleiterprozessen gefertigt wurden, welche auf die jeweiligen Bauelemente zugeschnitten waren. (Diese Option nutzt man teilweise auch heute noch.) Seit den 1990er-Jahren stehen Halbleiterprozesse zur Verfügung, in denen sich *alle* für ein Gesamtsystem notwendigen Bauelementtypen auf einem IC fertigen lassen. Typische Vertreter dieser sog. *Mischprozesse* sind *BICMOS* (bipolare Transistoren und CMOS) und *BCD* (bipolare Transistoren, CMOS und DMOS).⁷

Mixed-Signal-Schaltungen

Aufgrund des heutigen hohen Integrationsgrades ist die Kombination von digitalen und analogen Schaltungsteilen auf einem Chip gängige Praxis. Die meisten Chips sind heute von diesem Typ, die man deshalb auch als *Mixed-Signal-Chips* bezeichnet; sie werden je nach Spezifikation in CMOS oder BICMOS gefertigt. Enthalten sie zusätzlich noch Leistungstransistoren, spricht man auch von *Smart Power ICs*. Diese setzt man in einer BCD-Technologie um.

Abb. 1.9 zeigt als Beispiel einen Smart Power Chip aus dem Jahr 2018 für ein Kfz-Steuergerät der Robert Bosch GmbH®. In diesem Chip sind alle Systemfunktionen integriert: analoge Schaltungen für die Sensorauswertung („Sense“); interne Spannungs- und Stromversorgung („Supply“); Leistungsstufen für die Aktoransteuerung („Act“); digitale Informationsverarbeitung („Think“), die mit *Standardzellen*⁸ realisiert ist und auch einen programmierbaren Rechnerkern enthält.

Einen Chip, der all diese verschiedenen Arten von elektronischen Modulen einschließt, bezeichnet man als *SOC (System on Chip)* [5]. Der in Abb. 1.9 dargestellte Chip wurde in BCD-Technologie im 130-nm-Knoten hergestellt, hat eine Fläche von 34 mm² und enthält 164.000 Bauelemente in den analogen Schaltungsteilen und etwa 3 Millionen Transistoren im digitalen Teil (gelber Kasten). Die externe Betriebsspannung beträgt 14 V. Der Chip hat eine Spannungsfestigkeit⁹ von 60 V.

⁷DMOS steht für „Double Diffused Metal Oxide Silicon“. Dies ist eine Fertigungstechnologie für unipolare Transistoren, die in der Leistungselektronik große Ströme schalten. Mit DMOS-Transistoren lassen sich extrem niedrige Durchlasswiderstände in der Größenordnung von wenigen mΩ realisieren.

⁸Der Entwurf mit Standardzellen ist ein sehr effizienter und daher weit verbreiteter Entwurfsstil für integrierte Digitalschaltungen. Wir stellen Standardzellen und den zugehörigen Entwurfsablauf in Kap. 4 vor.

⁹Die Spannungsfestigkeit eines ICs hängt von der Durchbruchspannung der beteiligten Bauelemente ab. Die Durchbruchspannung gibt die Spannungsdifferenz an, ab der eine Isolierschicht oder eine invers betriebene Diode einen plötzlichen starken Stromanstieg zeigt. Die Kap. 6 und 7 erläutern dies näher.

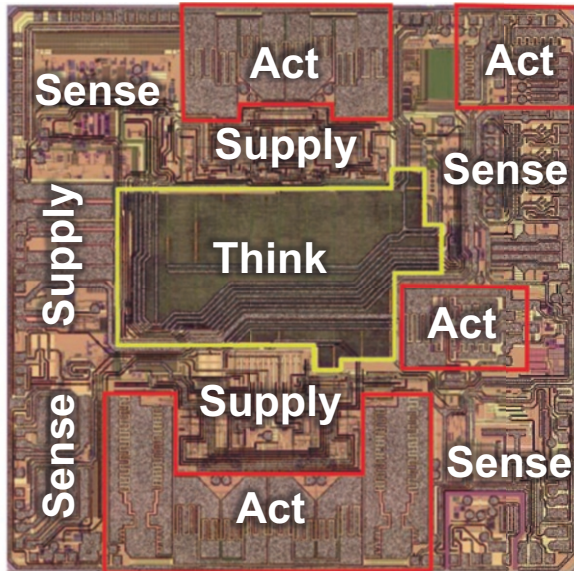


Abb. 1.9 Smart Power Chip von Bosch in 130 nm BCD-Technologie (BCD: Bipolartransistoren, CMOS und DMOS) für die Automobilelektronik

1.2.3 Mooresches Gesetz und Entwurfsscheren

Miniaturisierung

Wie wir gesehen haben, hat die kontinuierliche Evolution der Mikroelektronik ihre Ursache darin, dass es immer wieder aufs Neue gelingt, integrierte Schaltungen weiter zu verkleinern. Halbleitertechnologien werden daher nach der kleinsten Strukturgröße klassifiziert, die sich auf dem Wafer zuverlässig (d. h. reproduzierbar in großer Menge) realisieren lässt. Man spricht in diesem Zusammenhang dann von *Technologieknoten* oder auch von *Prozessknoten*.

Allerdings gibt es keine allgemeingültige Definition, welches Maß unter der „kleinsten Strukturgröße“ exakt zu verstehen ist. Die Ermittlung und Angabe dieser Größe ist daher von Hersteller zu Hersteller unterschiedlich. Zu den kleinsten Strukturen auf einem IC gehören die Durchkontaktierungen, die minimal erlaubte Leiterbahnbreite oder die kleinstmögliche aktive Länge eines unipolaren Transistors (gegeben durch den Abstand zwischen Source und Drain). Da die genannten Strukturen innerhalb eines Halbleiterprozesses durchaus ähnlich groß sind, sind die Angaben eines Herstellers zur „kleinsten Strukturgröße“, also welchem Technologieknoten er seinen Prozess zuordnet, aber prinzipiell gut vergleichbar. Am häufigsten wird die minimale aktive Länge des Transistors zur Definition hergenommen.

Die Herstellungsverfahren für ICs sind sehr komplex und fragil, weshalb die Fertiger bestrebt sind, Änderungen an eingefahrenen Produktionsprozessen zu vermeiden. Will man die Strukturgröße verkleinern, so erfordert dies i. Allg. einen

enormen Aufwand. Die Miniaturisierung ist daher kein kontinuierliches Verfahren, sondern erfolgt in klar definierten Schritten. Die Erfahrung hat gezeigt, dass der Übergang zu einer kleineren Strukturgröße wirtschaftlich sinnvoll ist, wenn sich die Anzahl der pro Flächeneinheit herstellbaren Bauelemente ungefähr verdoppeln lässt. Das bedeutet, dass der Flächenbedarf der Bauelemente ohne Funktionsverlust halbiert werden muss.

Am einfachsten gelingt dies regelmäßig bei Digitalschaltungen. Wie oben beschrieben, kommen dort CMOS-Transistoren zum Einsatz, welche nur als Schalter zwischen zwei Spannungspegeln dienen. Diese, im Vergleich zu Analogschaltungen sehr einfache Anforderung lässt sich seit Jahrzehnten erfüllen, indem man die Transistoren lediglich auf die halbe Fläche verkleinert, wobei ihr innerer Aufbau im Wesentlichen unverändert gelassen werden kann. Rentable Miniaturisierungsschritte lassen sich daher regelmäßig mit einer Strukturverkleinerung um den Faktor $1/\sqrt{2}$ erreichen. In der CMOS-Technologie skaliert man hierfür einfach die Transistorabmessungen linear herunter, was man auch als „Shrinken“ bezeichnet.¹⁰ Seit den späten 1970er-Jahren (als die CMOS-Technologie ausgereift war) kann man beobachten, dass sich der Flächenbedarf der kleinsten CMOS-Transistoren und damit von Digitalschaltungen etwa alle zwei Jahre halbiert. Diese technologischen Meilensteine werden durch die bereits erwähnten „Prozessknoten“ oder „Technologieknoten“ charakterisiert.

Abb. 1.10 zeigt die zeitliche Entwicklung der Technologieknoten für verschiedene Halbleiterprozessfamilien seit 1970 auf einer logarithmischen Skala. Die CMOS-Technologie (rotbraune Kurve) war eindeutig die Haupttriebkraft für diese Fortschritte. Die CMOS-Kurve orientiert sich an den Zeitpunkten, wann die ersten Microcontroller-Chips im jeweiligen Prozessknoten auf dem Markt erschienen sind. Die Halbleiterprozesse für andere Anwendungen (blau dargestellt) folgen dieser sog. *Leading-Edge-Technologie* mit unterschiedlichen Zeitabständen. Alle Kurven stellen einen aus den realen Daten gemittelten Langzeittrend dar. Exakte Aussagen zu bestimmten Zeitpunkten und Strukturgrößen lassen sich daraus nicht ablesen.

Mooresches Gesetz

Wie wir gesehen haben, hat die in Abb. 1.10 dargestellte Miniaturisierung den Weg für die Integration einer immer größeren Anzahl von Bauteilen und damit auch für immer mehr Funktionen auf einem einzigen Chip geebnet. Diese Entwicklung ist im Diagramm in Abb. 1.11 zu sehen, die ebenfalls in den 1970er-Jahren beginnt. Die schwarzen Kurven zeigen den exponentiellen Anstieg der Anzahl der auf einem Chip integrierten Bauelemente (es gilt die linke Skala).¹¹

¹⁰Diese Aussage gilt für CMOS-Technologien mit Strukturgrößen von mehr als etwa 20 nm. Darunter kommen unipolare Transistoren mit einem anderen inneren Aufbau, sog. „FinFETs“ zum Einsatz, deren Behandlung den Rahmen dieses Buches aber sprengen würde. Das Prinzip des Shrinkens ist aber auch bei FinFETs anwendbar.

¹¹Wir verwenden „Bauelemente/IC“ (Bauelemente pro Schaltkreis) und nicht, wie die meisten anderen Autoren, „Transistoren/IC“ als Maßeinheit, da in Mischprozessen neben Transistoren auch viele andere Arten von Bauelementen verwendet werden. Die Daten für „Transistoren/IC“ und „Bauelemente/IC“ sind für Logikchips jedoch fast identisch.

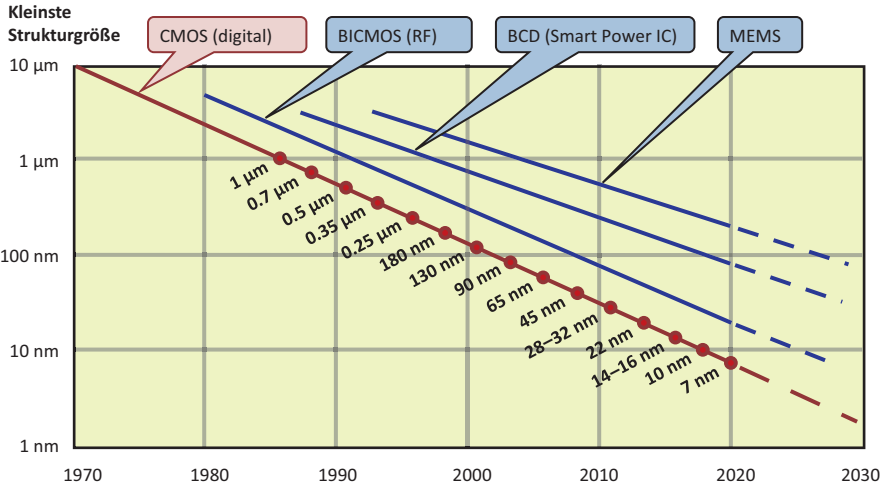


Abb. 1.10 Zeitlicher Verlauf der kleinsten Strukturgrößen für verschiedene Halbleitertechnologie-Familien. Markierte Punkte kennzeichnen typische Prozessknoten

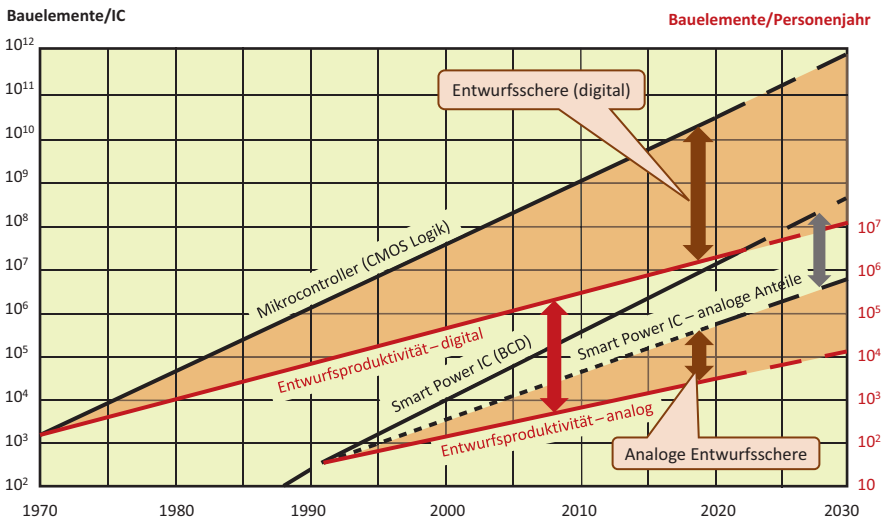


Abb. 1.11 Mittlere Zunahme der Integrationsdichte in Bauelementen pro IC (schwarz, linke Skala) und mittlere Zunahme der Entwurfsproduktivität in Bauelementen pro Personenzahl (rot, rechte Skala) für digitale Chips (oben) und Smart Power ICs, die sowohl analoge als auch digitale Teile enthalten (unten). Die digitale Entwurfsschere, die analoge Entwurfsschere und die Schere zwischen analoger und digitaler Entwurfsproduktivität (roter Doppelpfeil) sind ebenfalls dargestellt

Gordon Moore, Direktor für Forschung und Entwicklung bei Fairchild Semiconductor Inc., zeichnete bereits 1965 eine ähnliche Grafik [6], als er gleich zu Beginn der Chip-Miniaturisierung feststellte, dass sich die Anzahl der Bauelemente auf einem Chip jedes Jahr verdoppelt. In seiner Veröffentlichung sagte er auch voraus,

dass dieser Trend in absehbarer Zukunft anhalten würde. In den frühen 1970er-Jahren, als die ersten Mikrocontroller entstanden, wurde klar, dass sich dieser Trend inzwischen etabliert hatte. Seit dieser Zeit wird dieses exponentielle Wachstum als *Moore'sches Gesetz* (*Moore's Law*) bezeichnet. Diese Bezeichnung verwendet man bis heute, auch wenn sich gezeigt hat, dass die Verdoppelung der Bauelementanzahl pro IC im langjährigen Mittel nicht jährlich, sondern etwa alle zwei Jahre stattfindet. (Moore selbst revidierte bereits 1975 seine Vorhersage auf eine Verdopplung alle zwei Jahre.)

In Abschn. 1.2.1 haben wir die erstaunlichen Auswirkungen der Miniaturisierung erörtert, die dazu geführt haben, dass das Moore'sche Gesetz bis heute wirksam ist. Unsere Betrachtungen erfolgten dabei aus der Sicht der Nutzer und der Halbleitertechnologie. Ein wichtiger Aspekt ist dabei aber noch nicht zur Sprache gekommen, dem wir uns an dieser Stelle nun zuwenden wollen, da er uns zum Thema dieses Buches bringt. Es geht darum, dass all diese wundervollen ICs nicht nur zu fertigen sind. Bevor das geschehen kann, müssen sie zuerst *entworfen* werden!

Die Entwurfsschere im Digitalentwurf

Der Entwurf eines modernen IC ist angesichts der enormen (quantitativen und qualitativen) Komplexität dieser Aufgabe eine riesige Herausforderung. Konnten die zu verschaltenden Logikgatter der ersten Chips noch in Schaltplänen dargestellt und die Maskenvorlagen noch von Hand oder mit einfachen Zeichenprogrammen entworfen werden, so war diese manuelle Vorgehensweise schon in den 1980er-Jahren nicht mehr effizient genug. Parallel zur exponentiellen Komplexitätssteigerung in der Mikroelektronik wurden daher von Seiten der Wissenschaft und der Industrie viele Anstrengungen unternommen, den IC-Entwicklern immer leistungsfähigere Software-Werkzeuge und innovative Entwurfsmethoden an die Hand zu geben. Dieses Fachgebiet wird als *Entwurfsautomatisierung* oder *Electronic Design Automation*, kurz *EDA*, bezeichnet.

Mit Hilfe der EDA konnte man die Entwurfsleistung der IC-Entwickler im Bereich des Digitalentwurfs ganz erheblich steigern. Der Entwurfsprozess für integrierte Logikschaltungen gilt heute als hochautomatisiert. Trotzdem ist zu beobachten, dass der Aufwand für die Entwicklung eines Logikchips kontinuierlich steigt. Dieses Problem lässt sich anschaulich quantifizieren, indem man die Anzahl der Bauelemente auf einem IC und den Gesamtaufwand für seine Entwicklung (gemessen in Personenjahren) erfasst und hieraus den Quotienten bildet. Diese Maßzahl bezeichnet man als *Entwurfsproduktivität* oder *Designproduktivität*. Ihr Verlauf ist in Abb. 1.11 in roter Farbe eingezeichnet und bezieht sich auf die Skala auf der rechten Seite des Diagramms. Man erkennt, dass die Steigerung der Entwurfsproduktivität auch exponentiell verläuft, allerdings bleibt die Steigerungsrate deutlich hinter derjenigen des Moore'schen Gesetzes zurück. Mit anderen Worten: die durchschnittliche IC-Komplexität und die Entwurfsproduktivität driften kontinuierlich auseinander. Dieses als „*Design gap*“ bekannte Phänomen wird wegen dieses Auseinanderdriftens auch als *Entwurfsschere* bezeichnet.

Über die Entwurfsschere im Entwurf digitaler ICs ist viel geschrieben worden. Abb. 1.11 visualisiert sie durch den oberen schattierten Bereich und den braunen

Doppelpfeil. Sie ist eines der drängendsten und hartnäckigsten Probleme der Mikroelektronik. Dies wird besonders deutlich, wenn wir die Entwurfsschere quantifizieren. Hierzu teilen wir einfach die IC-Komplexität (schwarz) durch die Entwurfsproduktivität (rot), woraus sich die Kennzahl „Personenjahre/IC“ ergibt. Der zeitliche Verlauf dieser Kennzahl zeigt, dass der Aufwand zur Entwicklung eines einzelnen ICs mit der Zeit exponentiell anwächst.

Neben dieser Kostenexplosion gibt es eine weitere gravierende Auswirkung der Entwurfsschere. Da sich die Entwurfszeit für einen IC aus marktstrategischen Gründen nicht verlängern lässt, muss die Anzahl der im Entwurf eines ICs tätigen Entwickler ständig erhöht werden. Um einen neuen Computer-Chip auf den Markt zu bringen, bildet man heute Projektteams mit über 1000 Personen, die oft rund um den Globus verteilt sind.

Die Entwurfsschere im Analogentwurf

Wir wollen an dieser Stelle auf ein weiteres derartiges Problem eingehen, das wir als die *analoge Entwurfsschere* bezeichnen und das seit der Jahrtausendwende zunehmend an Brisanz gewinnt. Betroffen sind alle Chips, welche auch analoge Schaltungsteile enthalten, also insbesondere Mixed-Signal und Smart Power Entwürfe, die – wie bereits dargelegt – die große Mehrheit aller heutigen Chips ausmachen. Auch diese ICs folgen dem Mooreschen Gesetz, wobei das Wachstum der IC-Komplexität gegenüber den digitalen Chips zwar zeitlich verzögert, aber mit einer vergleichbaren Steigerungsrate erfolgt.

Der Anstieg der Anzahl der Bauelemente ist in erster Linie auf die zunehmenden digitalen Schaltungen in diesen Mixed-Signal-Designs zurückzuführen. In Abb. 1.11 haben wir die Verhältnisse für Smart Power ICs in der unteren durchgezogenen schwarzen Kurve dargestellt. Weit mehr als 90 % der Bauteile in einem modernen Smart Power IC befinden sich in dessen Digitalteil. Der Entwurf dieser Digitalteile profitiert massiv von den hochautomatisierten EDA-Verfahren, die für den Digitalentwurf verfügbar sind.

Ganz anders dagegen ist die Situation im Entwurf der analogen Schaltungsteile. Dort wächst die Bauelementanzahl zwar auch exponentiell, aber mit geringerer Steigerungsrate (gestrichelte schwarze Kurve). Wie bereits in Abschn. 1.2.2 beschrieben, sind analoge Signale zeit- und wertkontinuierlich und müssen daher möglichst verzerrungsfrei verarbeitet werden. Das Ziel der IC-Entwickler ist dabei, Störeinflüsse, die zu einer Abweichung des Signals und somit zu Fehlfunktionen führen können, bestmöglich zu unterdrücken. Hierzu wenden sie spezifische Strategien der analogen Schaltungstechnik und des Layoutentwurfs von Analogschaltungen an. Da es eine Vielzahl unterschiedlichster Störeinflüsse gibt, müssen sie hierbei eine große Diversität an physikalischen Wirkzusammenhängen berücksichtigen und sind gezwungen – anders als im Digitalentwurf – alle theoretisch vorhandenen Freiheitsgrade im Entwurf gezielt auszunutzen. Dies macht das Entwurfsproblem in qualitativer Hinsicht so schwierig, dass es sich mathematisch nur sehr schwer modellieren lässt und sich deshalb einer automatisierten Lösungsfindung bislang hartnäckig „widersetzt“. Aus diesem Grunde basiert der Entwurf analoger integrierter Schaltungen bis heute noch erheblich auf den Erfahrungen der Entwickler und ist durch einen manuellen Entwurfsstil geprägt.

So kommt es, dass auf die Analogteile in Mixed-Signal und Smart Power ICs heute durchaus 90 % des gesamten Entwicklungsaufwands entfallen können, obwohl diese Analogteile, gemessen an den enthaltenen Bauelementen, nur einen sehr kleinen Teil (typisch < 10 %, in Abb. 1.11 dargestellt durch grauen Doppelpfeil) des ICs ausmachen. Das bedeutet, dass die Entwurfsproduktivität des Analogentwurfs um zwei bis drei Größenordnungen unter der des Digitalentwurfs liegt. Dies ist in Abb. 1.11 am Abstand der roten Kurven (roter Doppelpfeil) ablesbar.

Für Mixed-Signal und Smart Power Entwürfe ist daher längst der Analogentwurf zum „Engpass“ geworden. Es bedarf dringender Verbesserungen des analogen Entwurfsflusses, um die wachsende analoge Entwurfsschere (dargestellt durch den unteren schattierten Bereich und den braunen Doppelpfeil) nicht noch größer werden zu lassen. Am Ende des Kap. 4 schlagen wir einige Maßnahmen zur Problemlösung im Layoutentwurf vor.

1.3 Layoutentwurf

1.3.1 Entwurfsablauf einer elektronischen Schaltung

Der Entwurfsablauf eines elektronischen Systems ist in Abb. 1.12 stark vereinfacht dargestellt. Ausgangspunkt ist die Erstellung einer *Spezifikation*, in der die gewünschten Funktionen und Leistungsmerkmale des Systems unter den vorgesehenen Betriebsbedingungen beschrieben sind. Für die dabei entstehende *Funktionsbeschreibung* nutzt man neben der üblichen Darstellung von Signalverläufen im

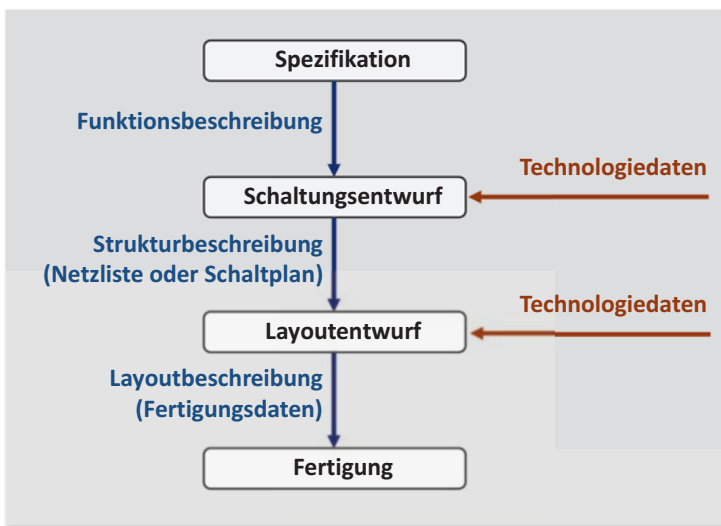


Abb. 1.12 Stark vereinfachte Darstellung des Entwurfsablaufs einer elektronischen Schaltung

Zeit- und Frequenzbereich oft noch weitere Beschreibungsformen, wie Texte, Diagramme, Tabellen oder dergleichen, um das Entwicklungsziel möglichst exakt und umfassend darzustellen.

Die Spezifikation beschreibt, *was* das System tun soll, wobei der Schwerpunkt auf Eingängen und Ausgängen liegt. Ein Teil der Spezifikation könnte beispielsweise so lauten: „Das System soll zwei 8 Bit breite digitale Eingangsdaten über die Pins 0–7 und 8–15 mit einer Frequenz von 1,2 GHz empfangen und das Multiplikationsergebnis dieser Eingangsdaten nach höchstens 5 Taktzyklen an einem 16-Bit-Digitalausgang über die Pins 16–31 ausgeben.“ Diese Spezifikation beschreibt die auszuführende Aufgabe, legt aber nicht fest, *wie* sie zu erfüllen ist. Dies geschieht erst im nachfolgenden Entwurfsprozess.

Diesen Entwurfsprozess, also die Umsetzung einer Spezifikation in die zur Fertigung benötigten Daten, unterteilt man in die beiden Hauptschritte *Schaltungsentwurf* und *Layoutentwurf* (s. Abb. 1.12), auf die wir im Folgenden näher eingehen.

Was ist der Schaltungsentwurf?

Die Aufgabe des Schaltungsentwurfs ist die Erstellung eines elektrischen Netzwerks, das die in einer Spezifikation beschriebenen Schaltungsfunktionen korrekt implementiert. Dieser Entwurfsvorgang erfolgt meist „Top-down“, also beginnend mit der obersten Ebene der Systemhierarchie schrittweise bis zur untersten Hierarchiestufe, was insbesondere bei digitalen Schaltungen mehrere Hierarchieebenen umfasst. Bei diesem Vorgehen werden komplexe Funktionen iterativ in immer einfachere Funktionen zerlegt, von denen sich jede durch eine einzelne Funktionseinheit (bei Digitalschaltungen z. B. ein logisches UND, ein Komparator oder ein Register; bei Analogschaltungen z. B. ein Operationsverstärker oder eine Spannungsreferenz) implementieren lässt.

Das Ergebnis des Schaltungsentwurfs ist eine *Strukturbeschreibung* des elektronischen Systems, z. B. eines ICs. Die Strukturbeschreibung bildet die Eingangsdaten des anschließenden Layoutentwurfs (s. Abb. 1.12). Sie listet alle zu verwendenden elektrischen Funktionseinheiten und die zwischen ihnen zu realisierenden elektrischen Verbindungen (*Netze*) auf. Ein Netz können wir uns als eine Drahtverbindung vorstellen, welche mehrere Ein- und Ausgangspins der Funktionseinheiten elektrisch kurzschließt.

Aufgrund der hohen Komplexität heutiger elektronischer Systeme ist die Strukturbeschreibung normalerweise in einer hierarchischen Baumstruktur organisiert. Als Funktionseinheiten tauchen darin neben den bekannten elektronischen Grundbauelementen daher auch sog. „Schaltungs- oder Funktionsblöcke“ auf, in denen Teilschaltungen als Untermengen des Gesamtsystems zusammengefasst sind.

Eine Strukturdarstellung kann in textueller Form als *Netzliste* oder in grafischer Form als *Schaltplan* auftreten. Ein Schaltplan ist die bildliche Darstellung einer Netzliste, in welcher die Funktionseinheiten als Symbole und die Netze als Verbindungslinien dargestellt sind. Abb. 1.13 zeigt auf der rechten Seite ein Beispiel eines einfachen Schaltplans mit vier elektronischen Grundbauelementen (zwei Widerstände R1, R2, zwei Kondensatoren C1, C2) und einem Funktionsblock (ein Operationsverstärker, erkennbar an dem Dreieck-Symbol). Schaltplan und Netzliste sind

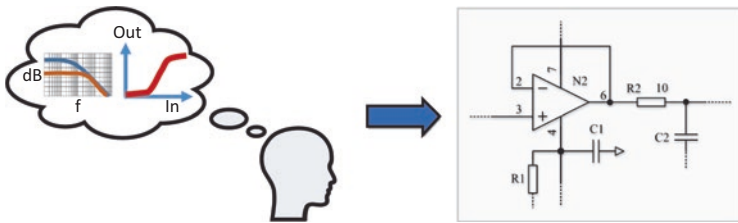


Abb. 1.13 Schaltungsentwurf: von der Spezifikation (links) zum Schaltplan (rechts)

grundsätzlich äquivalente Darstellungen einer Strukturbeschreibung. Es hängt vom jeweiligen Anwendungsfall ab, welche der beiden Formen bevorzugt wird.

In manuell geprägten Entwurfsstilen (analoge ICs, Leiterplatten) wird der Schaltplan durch grafische Eingabebefehle in einem Schaltplaneditor erzeugt. Hierzu platziert man Symbole für die Funktionseinheiten (Bauelemente oder Funktionsblöcke) auf dem Schaltplan und verbindet anschließend deren Anschlüsse über Linienzüge miteinander (Abb. 1.13, rechts). Die Symbole werden in *Symbol-Bibliotheken*, welche Teil der *Technologiedaten* sind (Abb. 1.12), bereitgestellt. Das Entwurfswerkzeug selbst verwaltet die Schaltungsstruktur in Form einer Netzliste. Je nach verwendetem Entwurfsprogramm bleibt die Netzlistenstruktur jedoch für den Nutzer verborgen und wird nur programmintern verwendet.

Bei hochautomatisierten Entwurfsstilen, wie dem Entwurf digitaler ICs, entsteht die Strukturbeschreibung aus automatischen Syntheseverfahren und liegt in Form einer Netzliste vor, die auch der anschließende Layoutentwurf automatisch weiterverarbeitet. In diesen Fällen ist ein Schaltplan oft entbehrlich. Wird an bestimmten Stellen doch eine Schaltplandarstellung gewünscht, so gibt es hierfür Werkzeuge, die aus einer Netzliste eine Schaltplandarstellung automatisch erzeugen können.

Was ist der Layoutentwurf?

Die Aufgabe des Layoutentwurfs ist es, aus der Strukturbeschreibung einer Schaltung eine *Fertigungsbeschreibung* abzuleiten, auf deren Grundlage die Schaltung hergestellt (d. h. physikalisch realisiert) werden kann (s. Abb. 1.12). Man spricht daher auch von einer *Fertigungsspezifikation*. Das Ergebnis des Layoutentwurfs stellt also eine (physikalische) „Auslegung“ der (abstrakten) Strukturbeschreibung dar, weshalb es auch als *Layout* bezeichnet wird. Man nennt den Layoutentwurf deshalb auch *physikalischer Entwurf*.

Bei dieser Transformation verfolgt man *Optimierungsziele* und es sind *Randbedingungen* einzuhalten. Die Randbedingungen lassen sich in prozess- und projektspezifische Randbedingungen unterteilen.

Prozessspezifische Randbedingungen beschreiben die Möglichkeiten und Grenzen der vorgesehenen Fertigungstechnologie; man nennt sie deshalb auch *technologische Randbedingungen*. Sie sind Teil der in Abb. 1.12 angedeuteten Technologiedaten und müssen bei allen Entwürfen, die in der betreffenden Fertigungstechnologie umzusetzen sind, berücksichtigt werden.

Projektspezifische Randbedingungen hingegen gelten nur für das jeweils zu entwickelnde Produkt. Sie entstehen im Schaltungsentwurf als weiteres Ergebnis in Ergänzung zur Strukturbeschreibung und werden als *funktionale* oder *elektrische Randbedingungen* bezeichnet. Man nennt sie auch oft *Constraints*. Sie sind Anweisungen, die im Layoutentwurf besonders zu beachten sind, um die korrekte Funktion oder auch die geforderte Zuverlässigkeit sicherzustellen.

In Kap. 4 behandeln wir Optimierungsziele und Randbedingungen im Kontext verschiedener Entwurfsmodelle und Entwurfsstile.

1.3.2 Layoutentwurf von integrierten Schaltungen

Wie bereits angesprochen, überträgt man in der Halbleitertechnologie alle zu erzeugenden Strukturen mit Hilfe fotolithografischer Verfahren auf den Wafer. Die Fertigungsvorlagen für diese Strukturen befinden sich auf den Belichtungsmasken, welche in den FEOL- und BEOL-Prozessen in einer festgelegten Abfolge angewendet werden, woraus sich die in Abb. 1.7 erkennbaren geschichteten Strukturen in und auf dem Wafer ergeben.

Das Ziel des Layoutentwurfs integrierter Schaltkreise ist die Erzeugung der geometrischen Strukturen für diese Belichtungsmasken. Die Gesamtheit dieser Geometriedaten bezeichnet man als das „Layout eines ICs“. Ein derartiges IC-Layout ist ein vollständiges Abbild eines zu fertigenden Chips. Es definiert die physikalische Realisierung aller Schaltungsbestandteile eines ICs. Hierzu gehören (i) der innere Aufbau der Bauelemente, (ii) deren Anordnung auf dem IC, die Ausführung (iii) der Verbindungsleitungen und (iv) der Kontaktlöcher und Vias sowie (v) die meist am Rande des Chips liegenden *Bondpads* für die elektrische Anbindung zur Außenwelt.

Abb. 1.14 zeigt auf der rechten Seite einen kleinen Ausschnitt eines IC-Layouts, wie es in einem für den Layoutentwurf verwendeten Grafikeditor (auch „Layouteditor“ genannt) erscheint. Jedes Grafikelement ist dabei einer *Layoutebene* (sog. *Layer*) zugeordnet, welche i. Allg. einer Belichtungsmaske entspricht. Um die optische Erkennung der Layerzugehörigkeit zu vereinfachen, verwendet man bei der Darstellung der Grafikelemente im Layouteditor und auf Layoutplots unterschiedliche layerspezifische Farben, Strichstärken und Füllmuster. Beispielsweise zeigt der in Abb. 1.14 gelb dargestellte Layer „Cont“ die Strukturen der Belichtungsmaske, die zur Herstellung von Kontaktlöchern an der Siliziumoberfläche eingesetzt wird. Diese Löcher werden im Halbleiterprozess mit Metall gefüllt, um die Anschlusspunkte der integrierten Bauelemente an der Siliziumoberfläche mit der untersten Metallschicht elektrisch zu verbinden (s. auch Abb. 1.7c).

Im IC-Entwurf unterscheiden sich die Vorgehensweisen beim Layoutentwurf digitaler und analoger Schaltungen sehr stark voneinander.

Digitalschaltungen

Im Layoutentwurf digitaler integrierter Schaltungen arbeitet man mit bereits vorentworfenen Elementen, die als sog. *Zellen* in einer Bibliothek (diese ist Teil der Technologiedaten) abgelegt sind und in ihrem inneren Aufbau nicht mehr verändert wer-

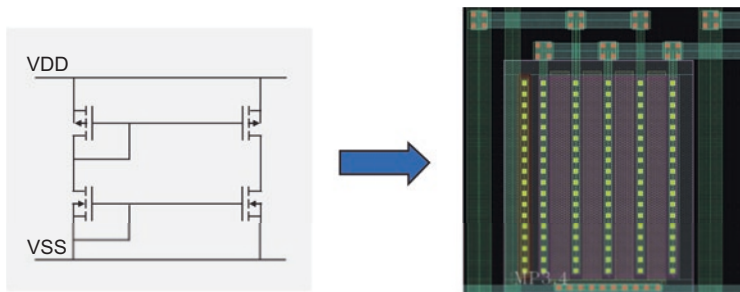


Abb. 1.14 Visualisierung des Layoutentwurfs einer integrierten Schaltung: Überführung der Strukturbeschreibung einer Schaltung (hier ein Schaltplan, links) in geometrische Daten (Layout, rechts), die die Grundlage für die Herstellung der Masken bilden

den. Diese Zellen bilden Grundfunktionen ab, wie logische Gatter und digitale Speicher. Oft hält man auch komplexere Logikblöcke als weitere *Makrozellen* vor. Diese stellen Funktionen auf höheren hierarchischen Schaltungsebene bereit, wie z. B. Addierer und Multiplizierer, oder anwendungsspezifische Komponenten auf noch höherer Hierarchieebene, z. B. Schaltungen, die Kommunikationsprotokolle implementieren.

In einem der ersten Teilschritte des Layoutentwurfs, der *Platzierung*, werden Instanzen dieser Zellen auf der verfügbaren Fläche platziert. Im anschließenden Teilschritt der *Verdrahtung*, auch als *Routing* bezeichnet, entwirft man die Leiterbahnstrukturen, welche die elektrischen Verbindungen der Zellen realisieren. Beide Teilschritte sind fast vollständig automatisiert, weshalb man auch von *Layoutsynthese* spricht. Für die hierbei eingesetzten Rechenprogramme eignen sich Netzlisten als Eingangsdaten.

In Kap. 4 betrachten wir die Verfahren der Layoutsynthese und deren Anwendungen näher.

Analogschaltungen

Ganz anders ist die Situation beim Layoutentwurf analoger integrierter Schaltungen. Hier wird, wie in Abschn. 1.2.2 erläutert, bis heute noch in weiten Teilen manuell gearbeitet. Die Funktionstüchtigkeit einer integrierten Analogschaltung hängt ganz entscheidend von der individuellen Auslegung einzelner Bauelemente und deren relativer Anordnung zueinander ab.¹² Um in dieser Hinsicht die richtigen Entscheidungen treffen zu können, muss der Layoutentwickler (oft kurz *Layouter* genannt) die umzusetzende Schaltung in ihrer Funktion verstehen. Hierfür benötigt er/sie eine Strukturbeschreibung in Form eines Schaltplans. Aus dieser bildlichen Darstellung einer Schaltungsstruktur kann ein Mensch die elektrischen Zusammenhänge (die Schaltungstopologie) und damit die mit der Schaltung realisierte Funktion wesentlich schneller und sicherer erfassen.

¹²Eine Schlüsselrolle spielt hierbei das im analogen IC-Layout angewendete Prinzip des sog. *Matchings*. Diesem wichtigen Thema widmen wir uns ausführlich in Kap. 6.

Der Entwurfsablauf beginnt mit der Layouterstellung der Bauelemente. Hierbei wird jedes einzelne Bauelement gemäß der im Schaltplan vorgegebenen elektrischen Parameter (z. B. Transistorlängen und -weiten oder Kapazitätswerte von Kondensatoren) separat dimensioniert und hinsichtlich weiterer Kriterien in der Formgebung an die spezifischen Bedürfnisse des Einzelfalls angepasst. Für diesen Vorgang stehen sog. *Layoutgeneratoren* zur Verfügung. Dies sind Skripte, welche verschiedene Layoutvarianten parametergesteuert automatisch generieren können. Ein Teil der Parameterwerte – hierzu gehören die angesprochenen elektrischen Parameter – wird dabei durch den Schaltplan vorgegeben. Typischerweise gibt es darüber hinaus noch weitere Parameter, die dem Layouter zusätzliche Optionen für automatisierte Anpassungen ermöglichen.

In der anschließenden Platzierung werden die Bauelemente dann angeordnet und sukzessive verdrahtet. Die Platzierung erfolgt aufgrund der Vielzahl der dabei zu berücksichtigenden Anforderungen praktisch ausschließlich durch manuelle Arbeit mit dem Layouteditor. Für die Verdrahtung stehen auch Automatismen zur Verfügung. Diese setzt man in der Praxis aber nur teilweise ein, da zumindest für kritische Teilbereiche des Entwurfs ebenfalls die Expertise der Layouter notwendig ist.

Den Layoutentwurf analoger integrierter Schaltungen werden wir in Kap. 4 und in besonderer Ausführlichkeit in Kap. 6 betrachten.

Abschließende Entwurfsschritte

Das Ergebnis des Layoutentwurfs ist das *IC-Layout*. Es wird als *eine* Grafikdatei abgespeichert. Bevor das IC-Layout in den Fertigungsprozess geht, ist es auf Korrektheit zu prüfen. Hierfür gibt es verschiedene automatische Prüfverfahren. Die beiden wichtigsten dieser Verfahren sind der *Design Rule Check*, kurz *DRC*, und die *elektrische Verifikation*. Sie stellen sehr mächtige „Qualitätstore“ der IC-Entwicklung dar, ohne die es völlig unmöglich wäre, ICs mit der heute üblichen Komplexität fehlerfrei herzustellen. DRC und elektrische Verifikation sind daher obligatorisch für jeden IC-Entwurf.

Der DRC prüft das IC-Layout auf Einhaltung der technologischen Randbedingungen, die in Form *geometrischer Entwurfsregeln* niedergelegt sind. Mit diesem Prüfverfahren wird die Herstellbarkeit eines IC-Layouts in einem bestimmten Halbleiterprozess sichergestellt. Die elektrische Verifikation prüft, ob die in der Strukturbeschreibung enthaltenen Vorgaben durch das Layout formal korrekt umgesetzt sind. Diesen Prüfvorgang nennt man daher auch *Layout versus Schematic Check* oder kurz *LVS*. Mit dem LVS lässt sich sicherstellen, dass ein Layout eine Strukturbeschreibung formal korrekt umsetzt, d. h. dass es (i) alle vorgegebenen Bauelemente des jeweiligen Typs enthält, (ii) die Bauelemente richtig dimensioniert und (iii) richtig elektrisch verbunden sind.

Die geometrischen Entwurfsregeln und die für den LVS benötigten Extraktionsregeln sind Teil der Technologiedaten. In Kap. 5 zeigen wir die Funktionsweise und Anwendung dieser und weiterer wichtiger Prüfverfahren des IC-Entwurfs. Darüber hinaus behandeln wir die geometrischen Entwurfsregeln besonders detailliert in Kap. 3.

1.3.3 Layoutentwurf von Leiterplatten

Wie wir in Abschn. 1.1.1 gesehen haben, dient die Leiterplatte als mechanischer Träger für die aus externen Quellen stammenden Bauteile und deren elektrischer Verbindung. Diese Bauteile sind i. Allg. integrierte Schaltkreise (Chips), diskrete Bauelemente (typischerweise passive Elemente wie Widerstände, Kondensatoren, Spulen) und Steckverbinder. Die Aufgabe des Layoutentwurfs einer Leiterplatte ist es, die Anordnung dieser Bauteile festzulegen und die zur Befestigung und elektrischen Verbindung der Bauteile notwendigen Strukturen im Trägersubstrat und in den Verdrahtungsebenen zu entwerfen. Diesen Entwurfsvorgang bezeichnet man als *Leiterplattenentwurf*, *PCB-Entwurf* oder auch *PCB-Design*, sein Ergebnis als *Leiterplatten-Layout* oder *PCB-Layout*.

Die Eingangsdaten des Layoutentwurfs einer Leiterplatte sind gegeben durch einen Schaltplan. Der Entwurfsablauf erfolgt in folgenden Schritten:

- (1) Festlegen der Abmessungen der Platine, der Anzahl der Verdrahtungsebenen und der Bestückungstechnologie (THT, SMT, gemischt),
- (2) *Platzierung*: Festlegen der Montageorte der Bauteile (x, y-Koordinaten, Ober- oder Unterseite),
- (3) *Verdrahtung*: Entwurf der Leiterbahnstrukturen und Vias für alle Verdrahtungsebenen.

Im Entwurfswerkzeug (Layouteditor) sind die Verdrahtungsebenen und Vias in geometrische Datenstrukturen abgebildet, die – ähnlich wie beim Layoutentwurf von ICs – bestimmten *Layern* zugeordnet sind. Zusätzlich zu diesen Layern, die zur Verbindung der Bauelemente dienen, sind je nach vorgesehener Fertigungstechnologie weitere Layer erforderlich, wie Lötstoppmasken, Lotpastenmasken (bei Reflow-Lötung) oder Bestückungsaufdrucke.

Die zur Befestigung und Kontaktierung eines Bauteils auf der Leiterplatte notwendigen Strukturen bezeichnet man als *Footprint* (wörtlich „Fußabdruck“), gelegentlich auch als *Land pattern*. Der Footprint enthält die Geometrie der *Pads* (Kontaktflächen) eines Bauteils und den Bestückungsaufdruck als Polygone, sowie evtl. weitere notwendige Geometrien, wie Montagebohrungen (für THDs) und Vias. Footprints sind in *Footprint-Bibliotheken* organisiert, die einen Teil der Technologiedaten darstellen.

Nach der Festlegung der Randbedingungen (Schritt 1) werden die Bauteile aus dem Schaltplan extrahiert und die passenden Footprints aus der Footprint-Bibliothek geladen. Anschließend platziert man die Footprints, womit man ihre Positionen auf der Leiterplatte festlegt (Schritt 2, Abb. 1.15, rechts).

Die Zugehörigkeit der einzelnen Pads zu den elektrischen Netzen gemäß Schaltplan kann man sich im Layouteditor über sog. „Gummibänder“ (engl. *Fly lines*) grafisch anzeigen lassen (Abb. 1.15, rechts). Dies erleichtert den letzten Entwurfsschritt der Verdrahtung, in der nun die konkrete Form und Lage der Leiterbahnen in jeder Verdrahtungsebene und die Lage und Ausführung der Vias festgelegt werden (Schritt 3, Abb. 1.16, rechts). Da man bei der Durchführung dieses Entwurfsschritts

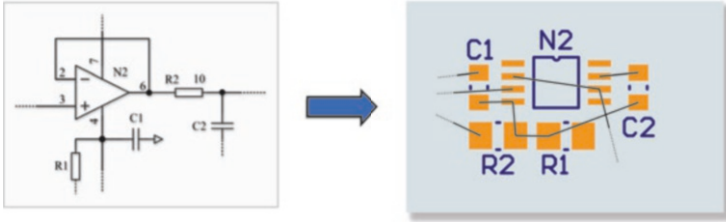


Abb. 1.15 Platzierung der Bauteile auf einer Leiterplatte (rechts), ausgehend von einem Schaltplan (links). Rechts: Footprints mit Pads (orange) und Bestückungsaufdruck (dunkelblau), sowie „Gummibändern“ (schwarz)

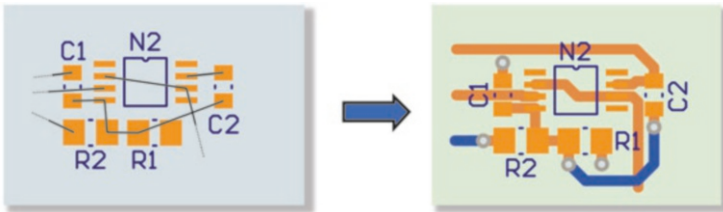


Abb. 1.16 Verdrahtung der Bauteile auf einer Leiterplatte (rechts), ausgehend von einer Bauteil-Platzierung (links) durch Entwurf von Leiterbahnen in den verfügbaren Verdrahtungsebenen (orange und hellblau) und Anordnung von Vias (grau)

die (sich vielfach optisch kreuzenden) Gummibänder sukzessive durch Leiterbahnstrukturen ersetzt, wird der Verdrahtungsvorgang im Leiterplatten-Entwurf auch als *Entflechtung* bezeichnet.

Nach der Platzierung und Entflechtung der Bauelemente wird das Entwurfsergebnis auf Fehlerfreiheit geprüft. Wie beim IC-Layoutentwurf verifiziert man das PCB-Layout mit einem *Design Rule Check (DRC)* auf Einhaltung fertigungstechnischer Vorgaben, um eine fehlerfreie Herstellbarkeit zu gewährleisten. Mit einem *Electrical Rule Check (ERC)* lässt sich sicherstellen, dass im PCB-Layout alle elektrischen Verbindungen korrekt gemäß Schaltplan und ohne Kurzschlüsse umgesetzt sind.

Abschließend erzeugt man die zur Produktion benötigten Fertigungsdaten. Im Unterschied zum IC-Layout, bei dem das komplette Layoutergebnis in *einer* Grafikdatei enthalten ist, werden für die Leiterplattenfertigung verschiedene Dateien und Formate benötigt. Die Fertigungsdaten bestehen aus einem Satz sog. *Gerber-Dateien*, welche die Leiterzüge der einzelnen Verdrahtungsebenen, Lötstopp- und Lotpasten-Maske, sowie Bestückungsaufdruck als Grafikdaten beschreiben. Eine *Bohrdatei* enthält die Durchmesser und Koordinaten aller (für Montage und Vias) notwendiger Bohrungen. Schließlich wird eine *Pick-and-Place-Datei* mit der Lage und Ausrichtung der Bauteile für den automatischen Bestückungsprozess erzeugt.

1.4 Motivation und Aufbau dieses Buches

Wie wir in diesem Einleitungskapitel gesehen haben, erzeugt man im Layoutentwurf für alle Elemente einer elektronischen Schaltung geometrische Instanzen. Dies heißt konkret: für alle elektronischen Bauteile (Grundbauelemente, wie z. B. Transistoren; Zellen, wie z. B. Logikgatter) werden Aussehen, Größe und Position bestimmt. Auch legt man für die verfügbaren Metallisierungsebenen die genaue Ausfertigung aller elektrischen Verbindungsleitungen fest. Das als „Layout“ bezeichnete Ergebnis dieses Entwurfsschrittes ist eine Fertigungsspezifikation, welche man abschließend mit verschiedenen Prüfverfahren verifiziert.

Das Layout wirkt sich direkt auf die Leistungsfähigkeit, die Zuverlässigkeit, die Fläche (und damit die Größe), den Stromverbrauch und die Fertigungsausbeute einer Schaltung aus. Die Qualität des Layouts hat daher einen erheblichen Einfluss auf die Gesamtqualität der entstehenden elektronischen Schaltung. Dies gilt für einen IC, einen Hybrid-Schaltkreis und eine Leiterplatte.

Die fortschreitende Miniaturisierung stellt die Entwickler von Layouts, die sog. Layouter, vor immer neue Entwurfsprobleme und Herausforderungen, wie z. B. wachsende Störeinflüsse durch parasitäre Effekte oder zunehmende Restriktionen und immer wieder neuartige Anforderungen aus den komplexer werdenden Fertigungstechnologien. Die Nachfrage nach erfahrenen Layoutern wächst daher kontinuierlich. Gleichzeitig steigt auch der Bedarf an neuen Methoden und Werkzeugen für den Layoutentwurf.

Dieses Buch widmet sich all diesen Herausforderungen. Es stellt alle Kenntnisse, die für den Layoutentwurf elektronischer Schaltungen essenziell sind, von Grund auf dar – von fertigungstechnischen Einflüssen über methodische und schaltungstechnische Aspekte bis zu Zuverlässigkeitsanforderungen. Kapitel für Kapitel vermittelt das Buch das Grundlagenwissen, das ein Layouter besitzen muss, um eine im Schaltungsentwurf entstandene Strukturbeschreibung in ein hochwertiges IC- oder PCB-Layout umzusetzen.

Wir betrachten alle relevanten Entwurfsdomänen des Layoutentwurfs (digitale und analoge Schaltungen, IC- und PCB-Layout), wobei die Leser in einigen Teilen einen Schwerpunkt im Layoutentwurf analoger integrierter Schaltungen feststellen werden. Dies ist auf den bereits erläuterten stärkeren Bedarf an manueller Arbeit im analogen IC-Entwurf zurückzuführen: hier ist das tiefgehende Fachwissen des (menschlichen) Layoutexperten in weit höherem Maße von Bedeutung als in den hochautomatisierten digitalen Entwurfsflüssen. Dessen ungeachtet vermittelt dieses Buch die Grundlagen des Layoutentwurfs über alle Anwendungen hinweg und für alle Entwurfsdomänen. Das dargestellte Basiswissen ist für all diese Ausprägungen gleichermaßen von Bedeutung.

Im folgenden Kap. 2 stellen wir die fertigungstechnischen Schritte, mit der elektronische Schaltungen „in Silizium gegossen“ (und damit als ICs realisiert) werden, im Detail vor. Dieses Wissen ist für jeden IC-Layouter von entscheidender Bedeutung, da sich eine Fülle von Randbedingungen, die beim Layoutentwurf zu

berücksichtigen sind, direkt aus der spezifischen, für die Realisierung einer mikroelektronischen Schaltung vorgesehenen, Halbleitertechnologie ergeben. Dieses Kapitel soll dem Leser das für die Layouterstellung nötige Verständnis der Halbleiterfertigung vermitteln.

Kap. 3 beschreibt die Schnittstellen des Layoutentwurfs im Entwurfsfluss (vgl. Abb. 1.12). Dies sind die vom Schaltungsentwurf kommenden Eingangsdaten (Netzliste, Schaltplan), die Layoutdaten für die eigentliche Layouterstellung (Polygone, Layer) und die Maskendaten, die die Ausgangsdaten für die Halbleiterfertigung bilden. Einen besonderen Schwerpunkt unserer Darstellung bildet der sog. *Layout-Postprozess*, mit dem die Layoutdaten eines ICs in dieses zur Maskenerstellung benötigte Format umzuwandeln sind. Wir erläutern alle Schritte, die hierbei auszuführen sind: Chip-Finishing, Retikel-Layout und grafische Manipulationsprozesse zur Adaption der Daten an spezifische Fertigungsanforderungen. Schließlich gehen wir auf die neben dem Layout-Postprozess weiteren wichtigen Beziehungen ein, die zwischen dem Layoutentwurf und der Zieltechnologie bestehen: Entwurfsregeln und Bibliotheken. Ein Layouter muss sich der Bedeutung und Auswirkungen all dieser „Brücken zur Technologie“ bewusst sein.

In Kap. 4 widmen wir uns den methodischen Aspekten und Strategien des modernen Layoutentwurfs. Zunächst geben wir eine Übersicht über den Entwurfsablauf. Anschließend behandeln wir Entwurfsmodelle und -stile und gehen auf die unterschiedlichen Arten von Randbedingungen ein, die im Layoutentwurf zu berücksichtigen sind. Schließlich erörtern wir die markanten Unterschiede zwischen analogem und digitalem Entwurf und leiten hieraus einige Perspektiven für methodische Verbesserungen des analogen Layoutentwurfs ab. Das Kapitel fasst das Grundwissen zusammen, das ein Elektronik-Entwickler über Methoden des Layoutentwurfs besitzen muss.

Jeder Layoutentwurf wird in Teilschritten abgearbeitet. Aufgrund der hohen quantitativen Komplexität digitaler Schaltungen ist insbesondere der digitale Layoutentwurf in mehrere, klar getrennte Schritte unterteilt. Diese Entwurfsschritte werden in Kap. 5 nacheinander behandelt. Zunächst zeigen wir, wie man eine Netzliste generiert, entweder automatisiert mit Hilfe von Hardwarebeschreibungssprachen im digitalen Entwurf, oder durch Ableitung aus einem Schaltplan, wie es im analogen Entwurf üblich ist. Anschließend stellen wir die Layout-Entwurfsschritte Partitionierung, Floorplanning, Platzierung und Verdrahtung im Detail vor.

Wie bereits einleitend erläutert, ist ein Layout vollständig auf Einhaltung der technologischen und elektrisch-funktionalen Randbedingungen zu verifizieren, um die Fertigbarkeit und die korrekte Funktion der Gesamtschaltung sicherzustellen. In Kap. 5 zeigen wir alle wichtigen Verifikationsverfahren, die man hierzu einsetzt, einschließlich der Verfahren, die bereits im Schaltungsentwurf angewendet werden. Wir sprechen dabei auch typische in der Praxis auftauchende Grenzfälle an, wie z. B. Dummy-Fehler im DRC, und erläutern den Umgang mit ihnen. Damit die Darstellung hinsichtlich der Layout-Entwurfsschritte vollständig ist, gehen wir am Ende des Kapitels nochmals auf den in Kap. 3 bereits ausführlich behandelten Layout-Postprozess ein.

Während die bisher vorgestellten Inhalte des Layoutentwurfs weitgehend universell sind, erfordern integrierte Analogschaltungen zusätzliche, spezielle Layout-Techniken und -maßnahmen, die jeder „analoge“ Layoutentwerfer kennen und beherrschen muss. Diese Besonderheiten behandeln wir in Kap. 6. Da man für jede Instanz eines analog eingesetzten Bauelements ein individuelles Layout erstellt, erläutern wir für die gängigen Bauelementtypen, wie sie aufgebaut sind, wie sie funktionieren und wie sie im Layout dimensioniert und an besondere Anforderungen angepasst werden. Anschließend zeigen wir die Entstehung und Wirkungsweise der hierfür eingesetzten Layoutgeneratoren. Schließlich erklären wir die zentrale Bedeutung elektrischer Symmetrien für den analogen IC-Entwurf und behandeln ausführlich die zahlreichen Layout-Maßnahmen und -Techniken zur Erreichung dieser Symmetrien, das sog. *Matching*.

Da mit zunehmender Miniaturisierung die Zuverlässigkeit integrierter Schaltungen kritischer wird, gewinnen Maßnahmen zur Erhöhung der Zuverlässigkeit immer mehr an Bedeutung. Das abschließende Kap. 7 fasst alle Zuverlässigkeitsaspekte zusammen, die für den IC-Layoutentwurf von Bedeutung sind. Wir behandeln zuerst alle Zuverlässigkeitsprobleme, die zu *reversiblen* (vorübergehenden) Fehlfunktionen von Schaltungen führen können. Hierfür diskutieren wir nacheinander die parasitären Effekte, die im Inneren des Siliziums, an seiner Oberfläche und in den darüber liegenden Metallschichten auftreten können, und zeigen Layout-Maßnahmen, die ihnen entgegenwirken. Danach befassen wir uns mit der wachsenden Herausforderung, ICs vor *irreversiblen* (dauerhaften) Schäden zu bewahren. Dies erfordert die Betrachtung von Überspannungsereignissen und Migrationsprozessen, wie Elektro-, Thermo- und Stressmigration. Ziel dieses Kapitels ist es, den aktuellen Stand des zuverlässigkeitsorientierten IC-Designs zusammenzufassen und insbesondere die im Layoutentwurf durchführbaren Maßnahmen zur Vermeidung von Fehlfunktionen und Schäden aufzuzeigen – womit letztlich jeder IC-Entwickler befähigt wird, durch Layoutmaßnahmen die Zuverlässigkeit eines Schaltkreises zu erhöhen.

Literatur

1. J. Kilby, Patent No. US3138743: Miniaturized electronic circuits. Patent filed Feb. 6, 1959, published June 23, 1964
2. R. N. Noyce, Patent No. US2981877: Semiconductor device and lead structure. Patent filed June 30, 1959, published April 25, 1961
3. L. Berlin, *The Man Behind the Microchip: Robert Noyce and the Invention of Silicon Valley* (Oxford University Press, Oxford, 2005). ISBN 978-019516343-8. <https://doi.org/10.1093/acprof:oso/9780195163438.001.0001>
4. https://en.wikipedia.org/wiki/Transistor_count. Zugegriffen 01.01.2023
5. R. Fischbach, J. Lienig, T. Meister, From 3D circuit technologies and data structures to interconnect prediction, in *Proceedings of 2009 International Workshop on System Level Interconnect Prediction (SLIP)* (2009), S. 77–84. <https://doi.org/10.1145/1572471.1572485>
6. G. E. Moore, Cramming more components onto integrated circuits. *Electronics* **38**(8), 114–117 (1965). <https://doi.org/10.1109/N-SSC.2006.4785860>