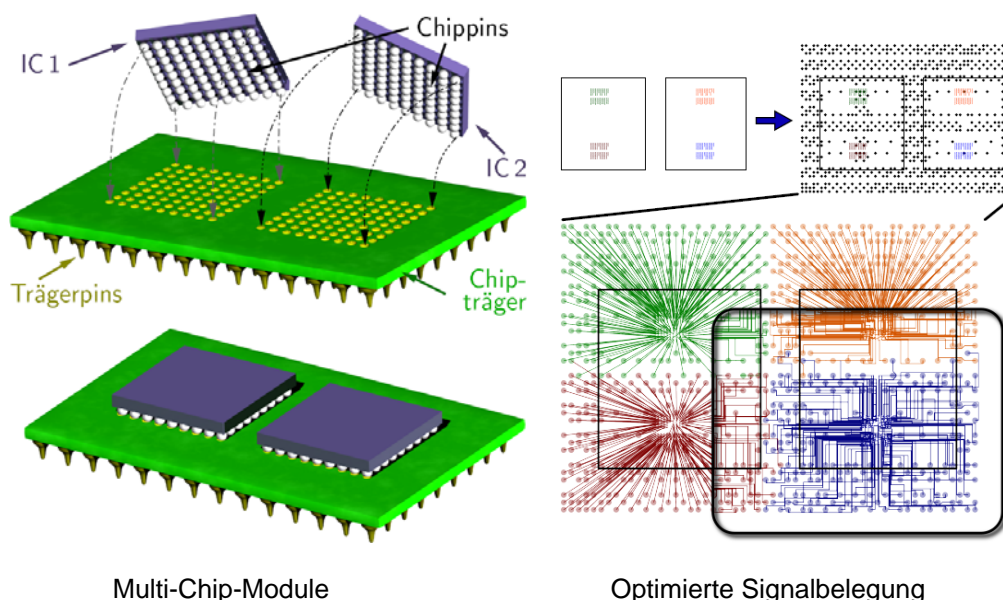


Einladung zum 136. Institutskolloquium

Thema:	Pinzuordnungs-Algorithmen zur Optimierung der Verdrahtbarkeit beim hierarchischen Layoutentwurf
Vortragender:	Dipl.-Ing. Tilo Meister, Technische Universität Dresden, IFTE
Leitung:	Prof. Dr.-Ing. habil. Jens Lienig
Zeit / Ort:	4. März 2011, 13 Uhr im Barkhausenbau II/56

Der technologische Fortschritt bei der Herstellung elektronischer Geräte ermöglicht die Integration von immer mehr Funktionen in einem Bauelement. Gleichzeitig wird angestrebt, digitale elektronische Bauelemente mit größtmöglicher Taktfrequenz zu betreiben, um ihre Leistungsfähigkeit voll auszuschöpfen. Beides führt dazu, dass das Verdrahtungslayout und die darüber realisierte Signalübertragung kritische Schwachstellen für die Leistungsfähigkeit eines elektronischen Gerätes sind.

Um ein Verdrahtungslayout mit guten elektrischen Eigenschaften zu ermöglichen, muss ein elektronisches Gerät bereits ab den ersten Planungsschritten in seiner Gesamtheit für eine gute Verdrahtbarkeit optimiert werden. Dies trifft insbesondere für die Pinzuordnung zu, bei der den Träger- bzw. Chippins Signale zugeordnet werden. Nur wenn man alle Komponenten aufeinander abstimmt, lässt sich in einem der letzten Schritte des Layoutentwurfs eine gute Verdrahtungsgeometrie finden.



Nach einer Einführung in den hierarchischen Layoutentwurf und die Pinzuordnung (engl.: pin assignment) stellt der etwa 40-minütige Vortrag Pinzuordnungs-Methoden vor, mit denen es möglich ist, die Verdrahtbarkeit zu optimieren. Die Grundlage dafür sind effektive Algorithmen für die Verdrahtungsvorhersage, auf die ebenfalls detailliert eingegangen wird.