

Der Feind auf dem Chip

Elektromigration in digitalen Schaltungen

Elektromigration stellt ein zunehmendes Problem in der Mikroelektronik dar, da durch fortschreitende Strukturverkleinerung mit immer kleineren Leiterquerschnitten die Stromdichte in elektronischen Schaltungen stetig zunimmt. Moderne Analogschaltungen berücksichtigen diesen Effekt oft bereits, während digitale Schaltungen mit ihren geringen und alternierenden Strömen bisher davon weitgehend verschont blieben. Es ist jedoch abzusehen, dass sich zukünftig Elektromigration auch in digitalen Schaltungen nicht mehr ignorieren lässt, was weitreichende Konsequenzen haben wird.

Von Matthias Thiele und Jens Lienig

Die Zuverlässigkeit ist eine zentrale Anforderung beim Entwurf von integrierten Schaltungen. Diesem Zuverlässigkeitsanspruch wird durch vielfältige konstruktive Maßnahmen Rechnung getragen, z.B. durch die Wahl von Materialien, die den zu erwartenden Benutzungsansprüchen entsprechen.

Im Zuge der immer kleiner werden den Strukturabmessungen kommt zunehmend eine neue, die Zuverlässigkeit negativ beeinflussende Erscheinung zum Tragen, die Elektromigration. Bisher konnte die Elektromigration durch relativ einfache Maßnahmen, wie z. B. Leiterzugaufweitungen oder Oberflächenbehandlungen, unterdrückt werden. Auch ließen sich derartige Maßnahmen meist auf Analogschaltungen mit einem hohen Gleichstromanteil begrenzen. Das in digitalen Schaltungen vorherrschende

alternierende, kapazitive Auf- und Entladen von Leiterbahnen erlaubte in bestimmten Grenzen einen Kompensationsprozess, der, verbunden mit relativ geringen Strömen, bisher das Ignorieren von Elektromigrationsercheinungen bei Digitalschaltungen ermöglichte.

Jedoch ist abzusehen, dass die durch die ITRS-Roadmap prognostizierte weitere Strukturverkleinerung ein deutliches Ansteigen der zu erwartenden Stromdichte zur Folge hat [1]. Damit sind die bislang praktizierten Gegenmaßnahmen nicht mehr ausreichend. Als weitreichendste Konsequenz gilt jedoch, dass auch in digitalen Schaltungen Elektromigrationsercheinungen gravierende Auswirkungen haben werden.

Was ist Elektromigration?

Elektromigration (EM) ist ein Materialmigrationsprozess in den metallischen Leiterbahnen elektronischer Schaltungen. Zur Veranschaulichung der physikalischen Ursachen der Elektromigration sind die Kräfte zu betrachten, die auf Metallionen im Kristallgitter einer Leiterbahn wirken. Der Stromfluss durch eine Leiterbahn erzeugt zwei Kräfte, denen die einzelnen Metallionen ausgesetzt sind. Zum einen wirkt eine elektrostatische Kraft auf die Metallionen ein, welche durch die elektrische Feldstärke im Leiterzug hervorgerufen wird. Aufgrund der

„Abschirmung“ der positiven Metallionen durch die negativen Leitungselektronen lässt sich die elektrostatische Kraft in den meisten Fällen vernachlässigen. Eine zweite Kraft entsteht nach heutigem Wissensstand durch Impulsübertragung von bewegten Leitungselektronen auf die Metallionen im Kristallgitter. Diese Kraft, die in Richtung des Stromflusses wirkt, wird in ihren Auswirkungen oft mit dem Begriff „Elektronenwind“ veranschaulicht. Sie ist die wesentliche Ursache des Elektromigrationsprozesses (Bild 1).

In einer homogenen kristallinen Struktur treten aufgrund der gleichmäßigen Gitteranordnungen der Metallionen kaum Impulsübertragungen zwischen den Leitungselektronen und den Metallionen auf. Die Kupfer- oder Aluminium-Leiterbahnen einer elektronischen Baugruppe sind jedoch polykristallin, d.h. sie bestehen aus Körnern mit Kristallgittern identischer Bauart, aber unterschiedlicher Orientierung. Daher bestehen diese Symmetrieverhältnisse an Korngrenzen nicht mehr. Auch sind die Metallionen an den Korngrenzen deutlich schwächer eingebunden als in einem regulären Kristallgitter. Somit werden ab einer bestimmten Stärke des Elektronenwinds Atome von den Korngrenzen abgetrennt und in Richtung des Stromflusses bewegt. Die Bewegungsrichtung wird außerdem noch von der Korngrenze selbst beeinflusst, da Atome bevorzugt entlang der Korngrenzen sowie der Grenzflächen wandern. Wird die Stromrichtung über einen längeren Zeitraum konstant gehalten, können so Hohlräume (Voids) und Materialanhäufungen (Hillocks) entstehen. Während die Materialanhäufungen oftmals Kurzschlüsse zu den benachbarten Leiterzügen hervorrufen, reduzieren die gleichzeitig entstehenden Hohlräume stellenweise den Querschnitt bis zur völligen Auftrennung des Leiterzuges (Bild 2).

Zur Berücksichtigung dieser Prozesse entwickelte der Physiker J. R. Black Ende der 60er Jahre ein empirisches Modell zur Abschätzung der mittleren Lebensdauer (MTTF, mean

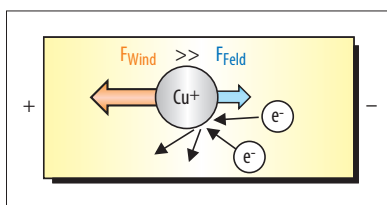


Bild 1. Metallionen, welche die Gitterstruktur einer Leiterbahn bilden, sind beim Stromfluss zwei Kräften ausgesetzt. Elektromigration resultiert aus der dominanten Kraft F_{Wind} , die durch die Impulsübertragung von bewegten Leitungselektronen auf die Metallionen hervorgerufen wird [2].

time to failure) einer Leiterbahn [3]. Damit wurde es erstmals möglich, elektromigrationsrelevante Eigenschaften von Leiterbahnen mit ihren Auswirkungen auf deren Zuverlässigkeit detailliert zu untersuchen:

$$MTTF = \frac{A}{J^2} \cdot \exp\left(\frac{E_a}{k \cdot T}\right)$$

Die Konstante A ist dabei eine Materialkonstante, J die Stromdichte, E_a die Aktivierungsenergie für den Schädigungseffekt der Elektromigration, k die Boltzmannkonstante und T die Temperatur im Leiterzug.

■ Elektromigrationsabhängige Schaltungs- und Layoutparameter

Wie aus der Gleichung ersichtlich ist, ist die auftretende Stromdichte J der wesentliche Parameter, mit dem sich die mittlere Lebensdauer einer Leiterbahn während des Schaltungs- und Layoutentwurfs beeinflussen lässt. Da sich die Stromdichte aus dem Quotienten von Strom I zu Querschnittsfläche A ermittelt, ist durch diese beiden Parameter eine Einflussnahme auf die Lebensdauer möglich. Der Strom eines Segmentes einer Leiterbahn wird dabei von der elektrischen Schaltung und der Netztopologie vorgegeben.

Bei den meisten Prozesstechnologien geht man von einer festen Leiterbahnhöhe aus, daher ergibt sich eine direkte Beeinflussbarkeit der Stromdichte durch die Breite der Leiterbahn. Je breiter diese ist, umso geringer ist die auftretende Stromdichte, was wiederum Elektromigrationserscheinungen verringert oder ganz ausschließt. Hierzu ist jedoch nicht nur die Querschnittsfläche der Leiterbahn zu betrachten, sondern auch deren Verlauf mit Richtungsänderungen sowie das Vorhandensein von Vias. Beispiels-

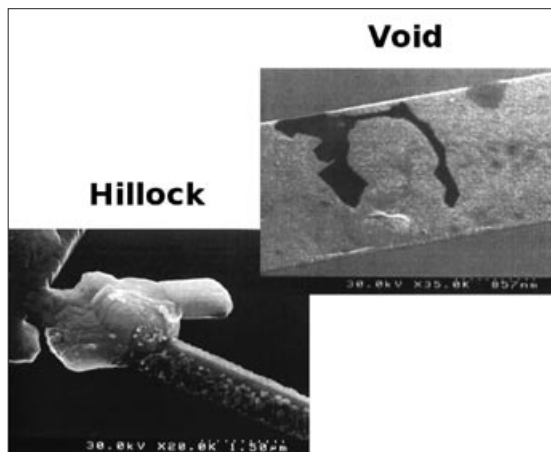
weise erhöht sich an „Knicken“ die lokale Stromdichte, da sich die Stromlinien an der Innenseite sammeln.

Als Grenzwerte für die zulässige Stromdichte von Kupfer-Leiterbahnen gibt die ITRS-Roadmap [1] 2×10^6 A/cm² bei einer Temperatur von 105 °C

fügen einer konkreten Temperatur sinnvoll sind.

Neben den zuvor genannten Parametern wirkt sich auch die Stromart auf die Elektromigrationsbeständigkeit aus. Untersuchungen (z.B. in [4]) zeigen eine erhöhte Elektromigrationsbeständigkeit von Leitungen mit bidi-

rektionalen und gepulsten Strömen, verglichen mit Gleichströmen und konstanten Strömen. Ein Grund für diese erhöhte Beständigkeit ist der sogenannte „Selbsteheilungs-Effekt“, bei dem durch Material-Rücktransport aufgrund wechselnder Stromrichtungen die effektive Materialmigration reduziert wird. Somit ist die Frequenz des Stroms bei Elektromigrationsuntersuchungen unbedingt einzubeziehen (siehe Abschnitt 4.1. in [2]).



■ Bild 2. Hillock- und Void-Bildungen in Leiterbahnen aufgrund von Elektromigration. (Quelle: G. H. Bernstein und R. Frankovic, University of Notre Dame, USA)

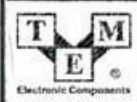
an. Industriennahe Simulationen nutzen oftmals geringere Werte (z. B. 1×10^4 A/cm² bei Kupfer), um nicht erfasste Randbedingungen (z. B. Risse oder Inhomogenitäten im Material) in Betracht zu ziehen. Ebenfalls ist auf die starke Temperaturabhängigkeit von maximalen Stromdichtewerten zu achten. In der Black'schen Gleichung erscheint die Temperatur der Leiterbahn im Exponenten, d.h. sie hat einen sehr starken Einfluss auf deren mittlere Lebensdauer. So bedingt eine dauerhafte Temperaturerhöhung um 100 K eine Reduzierung der maximalen Stromdichte um ca. 90 %, wenn man die Lebensdauer der Leiterbahn konstant halten möchte [2]. Als Konsequenz aus dieser starken Temperaturabhängigkeit einer zulässigen Stromdichte ergibt sich, dass Stromdichteangaben immer nur bei Hinzu-

migrationsuntersuchungen unbedingt einzubeziehen (siehe Abschnitt 4.1. in [2]).

■ Weitere Entwicklungen

Die Technologie-Roadmap ITRS [1] beschreibt die Trends in der zukünftigen Halbleiterfertigung. Darin wird in Fortschreibung des Moore'schen Gesetzes die weitere Verkleinerung der Strukturabmessungen prognostiziert. Die wichtigsten verdrahtungsrelevanten Parameter für die Technologien der nächsten Jahre sind in der Tabelle zusammengefasst.


Zum Erzielen einer zunehmenden Integrationsdichte, welche mit erhöhter Zuverlässigkeit der einzelnen Elemente einhergeht, ist die Größe der Halbleiterstrukturen stetig zu reduzieren (Tabelle). In der Halbleiterindus-



Wir entwickeln uns für unsere Kunden weiter


2000

1990



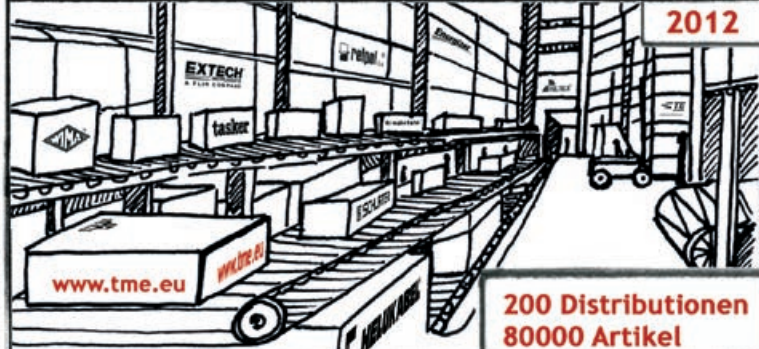
500 Artikel

2000



**50 Distributionen
30000 Artikel**

2012



**200 Distributionen
80000 Artikel**

Distributor elektronischer Bauelemente

Transfer Multisort Elektronik

Jahr		2010	2013	2016	2019	2022
Anzahl der Metallebenen		12	13	13	14	15
Gesamte Verdrahtungslänge	m/cm ²	2.222	3.737	5.285	7.475	10.571
Leiterbahnbreite (a)	nm	45	32	22	16	11
Leiterbahn-Aspektverhältnis (b)		1,8	1,9	2	2	2,1
Leiterbahnhöhe (c)	nm	81	61	45	32	23
Leiterbahnquerschnitt (d)	nm ²	3.600	2.000	990	510	250
Maximale Frequenz	MHz	5.875	7.344	9.180	11.475	14.343
Maximale auftretender Strom (e)	μA	52	48	31	23	15
Maximal auftretende Stromdichte	MA/cm ²	1,44	2,4	3,13	4,53	5,99
Maximal zulässige Stromdichte*	MA/cm ²	1,9	0,9	0,5	0,2	0,1
Leiterbahnwiderstand	μΩcm	4,08	5,63	7	8,88	11,71
Betriebsspannung	V	0,97	0,87	0,78	0,71	0,64

I Tabelle. Technologieparameter der aktuellen und zukünftigen Halbleitertechnologien mit maximalen Frequenzen, Strömen und Stromdichten; alle leiterbezogenen Angaben für Kupfer bei 105 °C, nach ITRS [1]. *: Werte aus ITRS-Diagramm entnommen, auf minimale Leiterbahnen mit Abmessungen nach (a), (b), (c) bezogen. (c), (d), (e): berechnete Werte für Leiterbahnen mit minimalen Abmessungen.

trie strebt man eine Halbierung der Strukturgröße alle sechs Jahre an. Gleichzeitig wird ein geringerer Flächenbedarf der integrierten Schaltkreise erreicht, was höhere Stückzahlen pro Wafer ermöglicht. Darüber hinaus sind mit kleineren Strukturgrößen energieeffiziente oder schnelle Schaltungen realisierbar.

Als Nebeneffekt werden aber trotz wachsenden Aspektverhältnisses die Querschnittsflächen der metallischen Leitungen reduziert, von 3.600 nm² im Jahr 2010 auf prognostizierte 990 nm² im Jahr 2016. Durch geringere Strukturgrößen und Betriebsspannungen lassen sich die benötigten Ströme reduzieren, da kleinere Transistoren auch kleinere Gate-Kapazitäten besitzen. Aufgrund der steigenden Fre-

quenzen werden die Ströme jedoch nicht im gleichen Maße wie die Leiterbahnquerschnitte reduziert. Daher nehmen die auftretenden Stromdichten zu (Zeile 10 in der Tabelle).

Der spezifische Widerstand des Leitermaterials steigt aufgrund von Streueffekten bei geringen Leiterbahnquerschnitten. In Kombination mit der zunehmenden Stromdichte ist mit höheren lokalen Temperaturen aufgrund der Eigenerwärmung (Joule heating) zu rechnen. Die erlaubten Umgebungstemperaturen für integrierte Schaltkreise werden sich aufgrund der limitierten Sperrschichttemperatur von Silizium in Zukunft kaum verändern und bleiben im Bereich zwischen Raumtemperatur und 125 °C. Durch hohe Verlustleistungen und die Eigen-

erwärmung kann jedoch die Temperatur im integrierten Schaltkreis und insbesondere in den Leitungen stark inhomogen verteilt sein.

Aus den kleineren Strukturabmessungen folgen geringere Leitungskapazitäten und -induktivitäten. Deshalb lassen sich höhere Signalfrequenzen erzielen (Zeile 7 in der Tabelle), welche für schnellere Verarbeitungsgeschwindigkeiten und dadurch für eine grö-

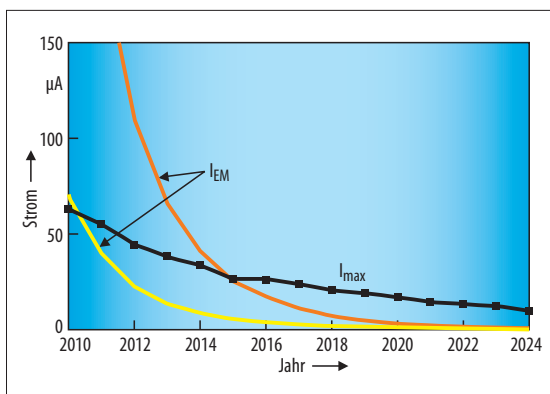
ßere Leistungsfähigkeit der Schaltung sorgen. Als Nebeneffekt erzeugen hohe Signalfrequenzen mit ihrem häufigen Umladen von Gate-Kapazitäten jedoch große Ströme in den Versorgungsnetzen.

■ Künftige Probleme durch Elektromigration

Wie aus der Tabelle ersichtlich ist, steigt zukünftig weiterhin die Stromdichte aufgrund der stärkeren Abnahme der Querschnittsfläche im Vergleich zu den Stromwerten. Zusätzlich sinken die effektiven Stromdichtegrenzwerte für die Elektromigration mit abnehmenden Strukturgrößen, da bei kleinen Strukturen bereits Schäden kleiner räumlicher Ausdehnung zum Ausfall führen können. Diese Entwicklungen gefährden dramatisch die für die Integration unabdingbare hohe Zuverlässigkeit der einzelnen Elemente.

Die schwarze Kurve in **Bild 3** veranschaulicht die nach der ITRS-Roadmap prognostizierten sinkenden Ströme in digitalen Netzen. Gleichzeitig nehmen die durch Elektromigration bestimmten Grenzwerte für minimal dimensionierte Leiterbahnen jedoch so stark ab, dass bereits heute die untere Grenze (gelb) überschritten wird. Elektromigration ist daher als ein aktuelles Problem auch bei digitalen Schaltungen zu betrachten. Ab dem Jahr 2015 reichen nach dieser Prognose die zur Zeit bekannten Maßnahmen zur Elektromigrationsvermeidung nicht mehr aus, um bei den prognostizierten Strömen Leiterbahnen mit minimaler Strukturabmessung zu verwenden. Nach gegenwärtigem Erkenntnisstand wären damit das Ende der Strukturverkleinerung und der durch das Moore'sche Gesetz prognostizierten Erhöhung der Integrationsdichte erreicht.

Ein ähnliches Bild ergibt sich, wenn man die steigenden Stromdichtewerte nach der ITRS-Prognose veranschaulicht (schwarze Kurve in **Bild 4**). In der logarithmischen Darstellung ist besonders deutlich die Diskrepanz zwischen steigenden Stromdichten (durch die Schaltungsanforderungen) und sinkenden Grenzwerten (Strukturverringernungen führen zu höheren Anfälligkeiten hinsichtlich Elektromigrationserscheinungen) zu erkennen. Aus der Tabelle und Bild 4 ergibt sich,



I Bild 3. Maximal auftretende Ströme in digitalen Schaltungen (schwarz) und zulässige Ströme für minimal dimensionierte Leiterzüge (gelb und rot) in der jeweils aktuellen Technologie bei Kupfer, Metallisierungsebene 1 bei 105°C, berechnet nach [1]. Gelb: Elektromigration ist zu berücksichtigen. Rot: schnelle Zerstörung durch EM.

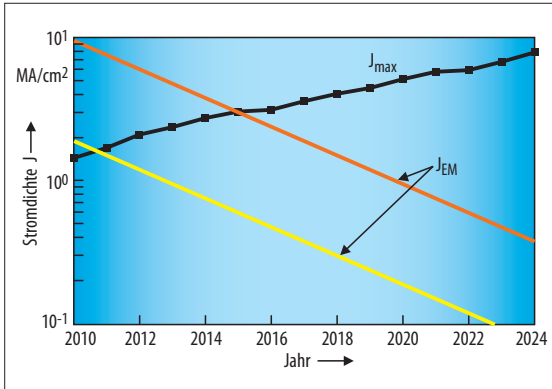


Bild 4. Maximal auftretende Stromdichten in digitalen Schaltungen (schwarz) und zulässige Stromdichten für minimal dimensionierte Leiterzüge (gelb und rot, siehe Bild 3), nach [1].

dass bei einer Kupfer-Leiterbahnbreite unter 40 nm die maximal zulässigen Stromdichtewerte überschritten werden, wenn die nach ITRS prognostizierten Ströme auftreten. Damit sind Ströme in minimal dimensionierten Leitungen erstmals einer Elektromigrationsbegrenzung unterworfen. Offensichtlich wird diese Grenze bereits mit den aktuellen Technologien über-

schritten. Damit ist schon heute in digitalen Schaltungen mit Elektromigration zu rechnen, wenn die in der Tabelle genannten Stromwerte und minimalen Abmessungen zusammentreffen.

Als gegenläufige Tendenz ist anzuführen, dass die Entwicklung zu hohen Frequenzen sich positiv auf die Beständigkeit gegen Elektromigration auswirkt. Bei hochfrequenten Strömen ohne Gleichanteil lässt sich aufgrund der Selbstheilung ein höherer Stromdichtegrenzwert ansetzen (Bild 5). Die meisten digitalen Netze führen solche Ströme. In diesen Netzen ist erst bei weiterer Strukturverkleinerung mit Elektromigrationserscheinungen zu rechnen. Aktuelle Forschungen gehen hierbei von einer

bis zu 500-mal längeren Lebensdauer gegenüber Gleichstrom aus [4]. Wie aus Bild 5 ersichtlich, flacht die Steigung der Lebensdauer allerdings bereits bei Frequenzen im kHz-Bereich ab, so dass eine weitere Erhöhung der Frequenz keinen Vorteil für die Lebensdauer ermöglicht.

Elektromigrationserscheinungen lassen sich auch durch den sog. Bam-

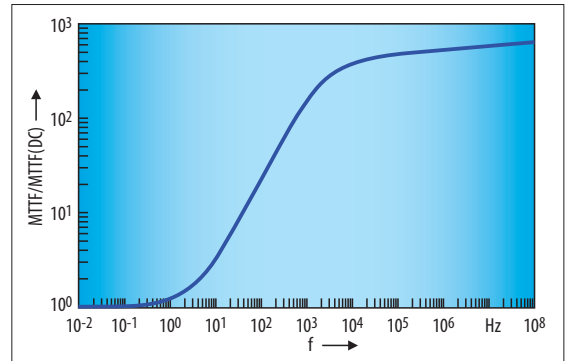


Bild 5. Qualitative Frequenzabhängigkeit der mittleren Lebensdauer einer Leiterbahn in doppelt logarithmischer Darstellung in Relation zur Lebensdauer bei Gleichstrombelastung; oberhalb von 1 kHz wird eine Sättigung erreicht; nach [4].

Neue 8-bit-Mikrocontroller mit integrierter konfigurierbarer Logik in 6- bis 20-poligen Gehäusen

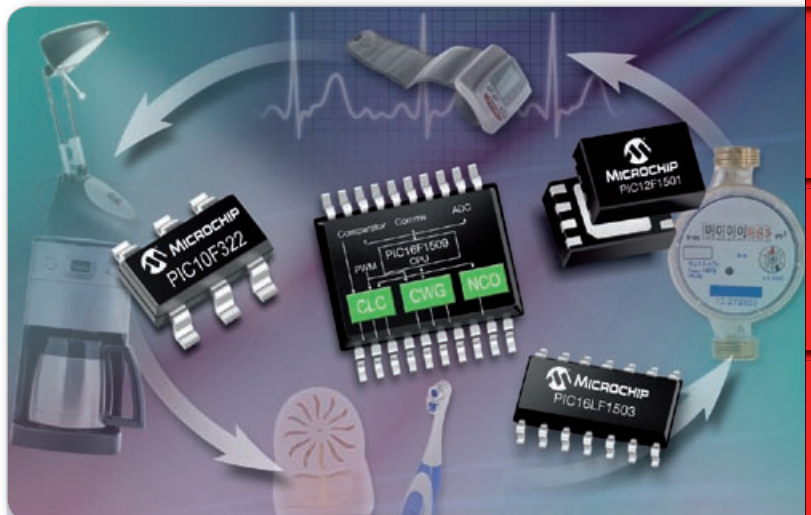
Mit den neuen 8-bit-Mikrocontrollern PIC10F32X, PIC12F150X und PIC16F150X von Microchip können Sie zusätzliche Funktionalitäten in Ihre Anwendungen aufnehmen, die Größe reduzieren, Energie sparen und Kosten senken. Sie sind insbesondere für preisgünstige Anwendungen oder Einwegprodukte geeignet. Onboard befinden sich konfigurierbare Logikzellen (CLCs), ein komplementärer Funktionsgenerator (CWG) und ein numerisch gesteuerter Oszillator (NCO).

Die kombinatorische und sequentielle Logik lässt sich über die konfigurierbaren Logikzellen (CLCs) per Software steuern. Dies hat den Vorteil, dass Funktionalitäten hinzugefügt, externe Komponenten eliminiert und Codeplatz eingespart werden können. Der komplementäre Funktionsgenerator (CWG) hilft bei der Verbesserung der Schalteffizienz zwischen den verschiedenen Peripherien, während der numerisch gesteuerte Oszillator (NCO) eine lineare Frequenzeinstellung und höhere Auflösung der Anwendung ermöglicht, wie zum Beispiel in Tongeneratoren und Vorschaltgeräten.

Zusätzlich zur Einführung dieser neuen Peripherien bieten der PIC10F/LF32X und der PIC12F/LF150X MCUs einen internen 16-MHz-Oszillator, einen ADC, bis zu vier PWMs sowie ein integriertes Temperaturmessmodul zur preisgünstigen Temperaturmessung. Das alles ist in kompakten 6- bis 20-poligen Gehäusen untergebracht.

Erfahren Sie mehr über PIC® MCUs mit der Peripherie der nächsten Generation und geringer Anschlusszahl:

www.microchip.com/get/eunew8bit



ENTWICKLUNGSWERKZEUGE FÜR DEN SCHNELLSTART



PICDEM™ Lab Entwicklungs-Kit - DM163045



PIC16F193X F1 Evaluationsplattform - DM164130-1



PICkit™ Demoplatine für geringe Anschlusszahlen - DM164120-1

Freie CLC-Konfigurationswerkzeuge: www.microchip.com/get/eudctool

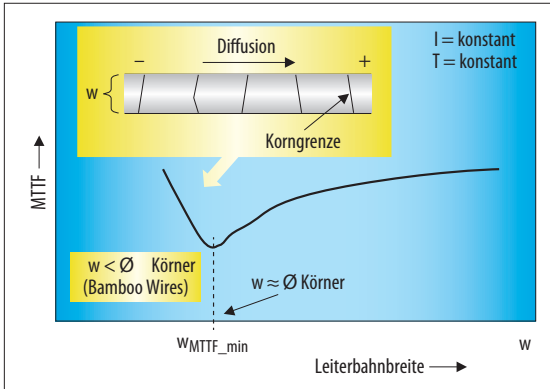


Bild 6. Bei der sogenannten Bambusstruktur übertrifft der mittlere Korndurchmesser die Leiterbahnbreite, womit quer liegende Korngrenzen die Elektromigrationsbeständigkeit erhöhen.

bus-Effekt verringern (**Bild 6**). Dieser tritt auf, wenn die Korngrößen ungefähr der Leiterbahnbreite entsprechen, womit die nun ausschließlich zum Elektronenwind senkrecht liegenden Korngrenzen für die Elektromigration ausscheiden. Durch Erwärmen und langsames Abkühlen (annealing) während des Herstellungsprozesses lassen sich Leiterzüge mit großen Korngrößen erzeugen.

Zu beachten ist hierbei, dass die Aktivierungsenergie für die Diffusion an der Oberfläche bei Kupfer 0,8 eV, entlang von Korngrenzen 0,9 eV und im Inneren der Körner ca. 2 eV beträgt [5]. Deshalb kann der Bambuseffekt nur dann genutzt werden, wenn die Oberflächendiffusion ausgeschaltet ist. Dies wird durch spezielle Beschichtungen erreicht. Der Bambuseffekt ist bereits bei einer Leiterzugbreite von etwa 500 nm beobachtbar; damit einher geht eine mögliche Verdopplung der zulässigen Stromdichte aufgrund der höheren Aktivierungsenergie.

■ Ausblick

Anhand der betrachteten Trends in der Halbleiterindustrie lässt sich feststellen, dass das Risiko für Leiterbahnen, durch EM zerstört zu werden, auch für digitale Schaltungen stark steigt. Die hauptsächlichen Einflussgrößen auf Elektromigrationserscheinungen beim Schaltungs- und Layoutentwurf sind Stromdichte und Temperatur. Die Stromdichte wird in den kommenden Jahren derart zunehmen, dass sie auch beim digitalen Schaltungs- und Layout-Entwurf zu berücksichtigen ist. Zusätzlich ist die Temperaturverteilung

über den Chip zu betrachten, ebenso wie die Selbsterwärmung der Leiterbahnen, um deren tatsächliche Temperatur abschätzen zu können. Beide Faktoren verschärfen das ohnehin schon steigende Elektromigrationsrisiko.

Bereits bei aktuellen Halbleitertechnologien ist Elektromigration eine kritische Randbedingung. Nachdem Aluminium mit seiner höheren Anfälligkeit für EM vielfach durch Kupfer ersetzt wurde, ist nun auch dieses Material stark beansprucht. Zur Erhöhung der Elektromigrationsbeständigkeit der Kupferleiterbahnen sind diese zu modifizieren. Einerseits sind CuSiN- oder CoWP-Beschichtungen zur Veränderung der Oberfläche möglich (da bei Cu ein großer Teil der Migrationsprozesse an der Oberfläche stattfindet), andererseits lässt sich die Leiterbahn durch den Einsatz von Cu-Al-Legierungen stabilisieren [1]. Neben technologischen Möglichkeiten sind auch Layoutanpassungen zu berücksichtigen, wie zum einen das Vermeiden von 90-Grad-Abwinklungen und jähren Querschnittsänderungen der Leiterbahn und zum anderen die Nutzung von redundanten Vias bzw. ausreichend dimensionierten Viafeldern.

Darüber hinaus ist der Einsatz neuer Materialien und Technologien zu untersuchen. Da Carbon Nanotubes (CNT) kaum einer Elektromigrationsanfälligkeit unterliegen, könnten diese für Vias eingesetzt werden, ebenso Graphen-Werkstoffe und Nanowires für die elektrischen Verbindungen. Für CNTs lassen sich tolerierbare Stromdichten von 10^9 A/cm² nachweisen [6]. Diese positive Eigenschaft ist bisher jedoch nur bei sehr kleinen Strukturabmessungen ausnutzbar [7].

Literatur

- [1] ITRS Roadmap, 2009, <http://www.itrs.net/>
- [2] Lienig, J.: Introduction to Electromigration-Aware Physical Design, Invited Talk, Proceedings of the International Symposium on Physical Design (ISPD'06), San Jose, CA, 39–46, April 2006.
- [3] Black, J. R.: Electromigration—A Brief Survey and Some Recent Results, IEEE Transactions on Electron Devices, vol. 16, no. 4, 338–347, 1969
- [4] Tao, J.; Cheung, N.; Hu, C.: Metal Electromigration Damage Healing under Bidirectional Current Stress, Electron Device Letters, IEEE, vol. 14, no. 12, 554–556, 1993

- [5] Hu, C.-K.; Rosenberg, R.; Lee, K. Y.: Electromigration Path in Cu thin-film Lines, Appl. Phys. Lett., AIP, vol. 74, no. 20, 2945–2947, 1999
- [6] Tan, C. M.: Electromigration in ULSI Interconnections, World Scientific, 2010
- [7] Alam, N.; Kureshi, A. K.; Hasan, M.; Arslan, T.: Analysis of Carbon Nanotube Interconnects and their Comparison with Cu Interconnects, in: IMPACT '09, 124–127, 2009



Prof. Dr.-Ing. habil. Jens Lienig

studierte Elektrotechnik an der TU Dresden und promovierte dort 1991 auf dem Gebiet der Entwurfsautomatisierung. Nach einem längeren Auslandsaufenthalt arbeitete er von 1999 bis 2002 bei der Robert Bosch GmbH, bevor er 2002 einen Ruf als Professor an die TU Dresden annahm. Heute leitet er hier das Institut für Feinwerktechnik und Elektronik-Design. Sein Forschungsgebiet ist der automatisierte Layoutentwurf unter Berücksichtigung spezieller Randbedingungen, wie z.B. der Elektromigration.

E-Mail: jens.lienig@tu-dresden.de



Dipl.-Ing. Matthias Thiele

studierte Elektrotechnik an der Technischen Universität Dresden mit dem Studienschwerpunkt Mikroelektronik. Seit 2010 arbeitet er hier an seiner Promotion. Sein Forschungsgebiet ist die Zuverlässigkeit elektrischer Leiterbahnen, insbesondere die Berücksichtigung von Elektromigration beim Layoutentwurf.

E-Mail: matthias.thiele@ifte.de