

- 1.1 Entwurfsautomatisierung in der Elektronik (EDA)
- 1.2 Hinweise
- 1.3 Bedeutung der Entwurfsautomatisierung
- 1.4 Entwicklung der Entwurfsautomatisierung
- 1.5 Übersicht über den Entwurfsprozess
- 1.6 Entwurfsstile
- 1.7 Layoutebenen
- 1.8 Entwurfsregeln
- 1.9 Layoutsynthese als Optimierungsproblem
- 1.10 Rechenkomplexität der Layoutsynthese
- 1.11 Einteilung von Entwurfsalgorithmen
- 1.12 Lösungsqualität von Entwurfsalgorithmen
- 1.13 Graphentheoretische Grundbegriffe (Selbststudium)
- 1.14 Häufig verwendete Layoutbegriffe (Selbststudium)

Entwurfsautomatisierung = Electronic Design Automation (EDA):

- ⇒ Entwicklung von Methoden, Algorithmen und Datenstrukturen zur Automatisierung des Entwurfs elektronischer Baugruppen (Schaltkreise, Hybridbaugruppen, Leiterplatten)
- ⇒ Einsatz von Computerprogrammen (Software) beim Entwurf einer elektronischen Baugruppe

- Herausbildung der EDA-Industrie in den 80er und 90er Jahren, heutiger geschätzter Jahresumsatz 5 Milliarden US-Dollar
„Sonderstatus“: ca. 100.000 Designer/CAD-Tool-Nutzer weltweit, damit pro Designer 50.000 US-Dollar Werkzeugausgabe pro Jahr
- Bedeutendste EDA-Firmen: Cadence, Synopsys, Mentor
- Wichtige Konferenzen:
 - Design, Automation and Test in Europe (DATE)
 - Design Automation Conference (DAC)
 - International Conference on Computer-Aided Design (ICCAD)
 - PCB Design Conference West/East

- **Layoutsynthese**: automatisierte Überführung einer Netzliste in die Layoutdarstellung, dabei Nutzen von Bibliotheks- und Technologieinformationen
- Behandlung von **Algorithmen** zur Automatisierung der Layoutsynthese, also „Wie funktionieren Programme zum Entwurf einer elektronischen Baugruppe? Wie werden diese Programme erstellt, wie kann man sie modifizieren?“
- Überwiegend Methoden der Layoutsynthese von **digitalen Schaltungen**, da höherer Automatisierungsgrad als bei analogen Schaltungen
- Berücksichtigung aller Hierarchie-Ebenen von elektronischen Baugruppen (Schaltkreise, Multichip-Module, Leiterplatten), jedoch **Fokussierung auf den Schaltkreis-Bereich**

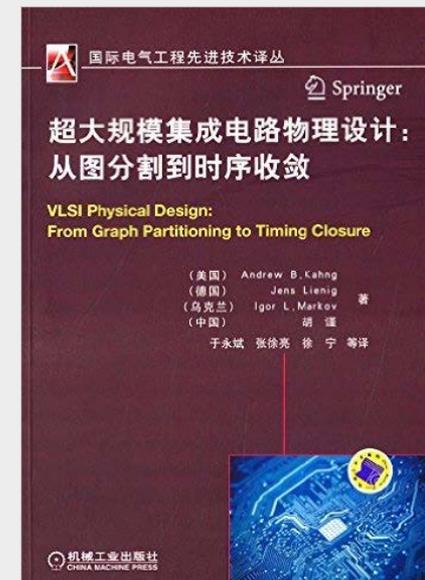
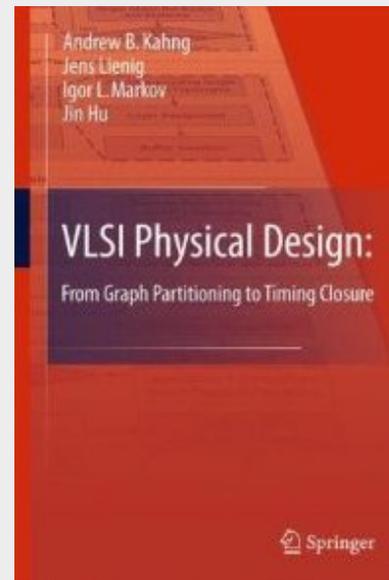
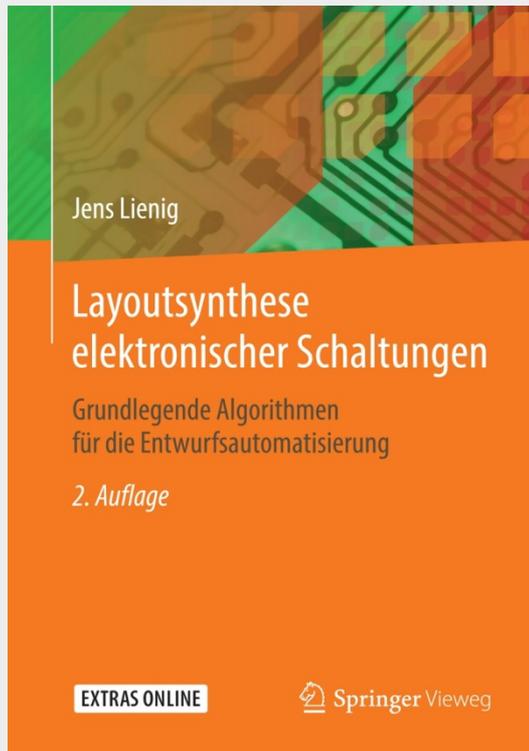
Notwendigkeit von EDA-Kenntnissen

- EDA-Firmen: Software-Entwickler (Tool-Entwickler)
Entwicklung von Strategien, Algorithmen sowie Software zur Erstellung und Weiterentwicklung von Entwurfswerkzeugen
- Firmen der Elektrotechnik/Elektronik:
 - CAD-Tool-Manager in einer Unterstützungsabteilung (Tool-Support) für den IC/LP-Entwurf
 - Anwender eines CAD-Tools (z.B. in einer Entwicklungsabteilung für den Schaltkreisentwurf)

Entwicklung von Strategien, Algorithmen und Software zur Anpassung der kommerziell erworbenen Entwurfswerkzeuge an die konkreten Aufgabenstellungen innerhalb der Firma

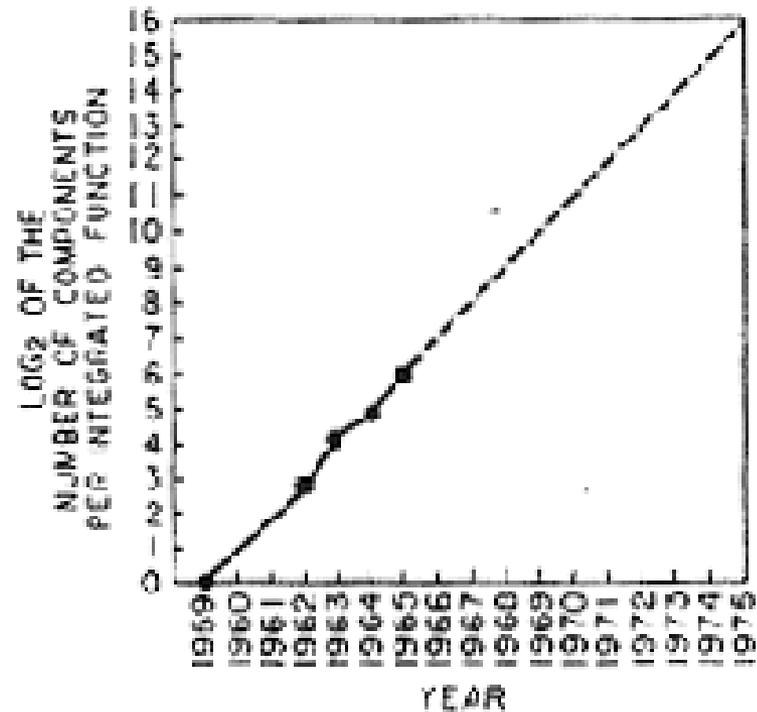
Literatur

- J. Lienig: „Layoutsynthese elektronischer Schaltungen – Grundlegende Algorithmen für die Entwurfsautomatisierung“, Springer Verlag, 2006, 2016



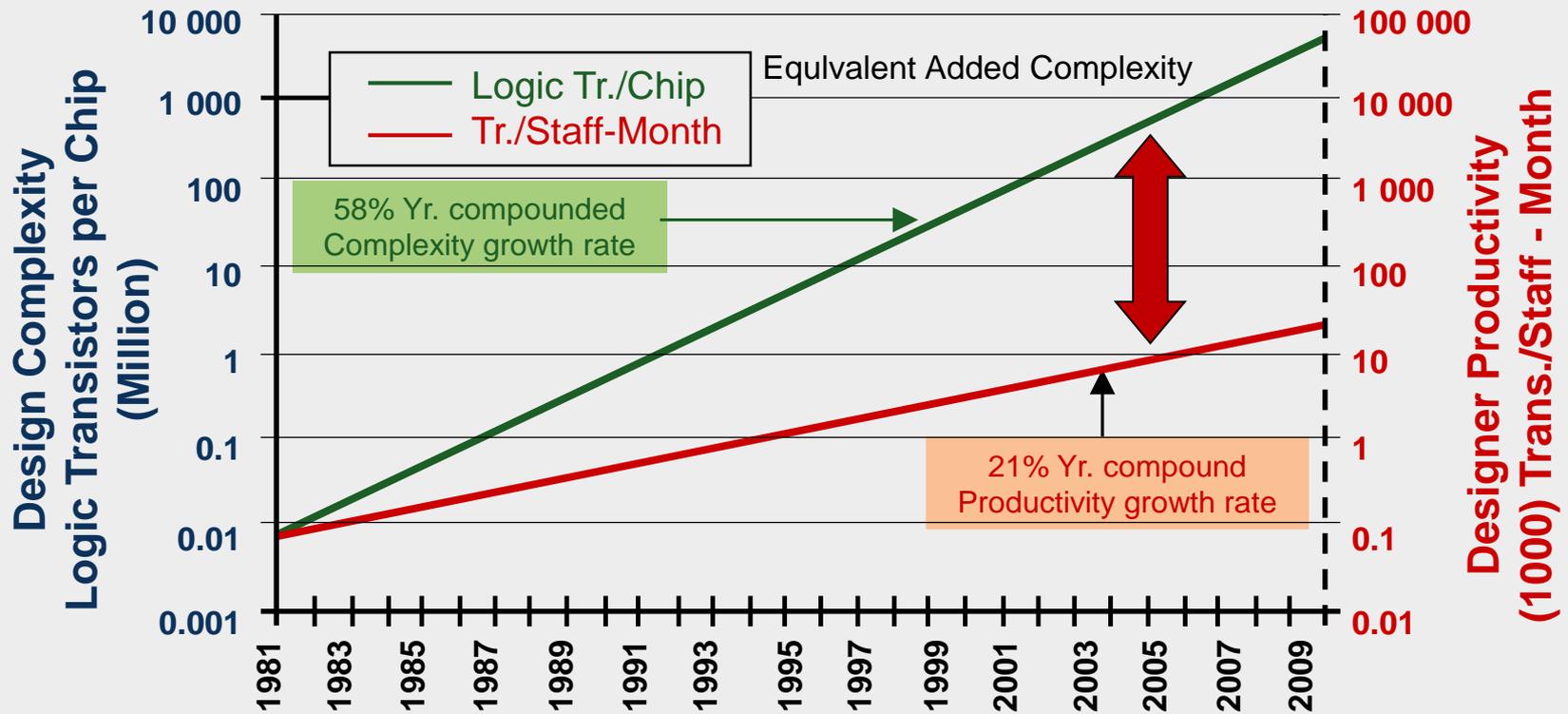
Moore's Law

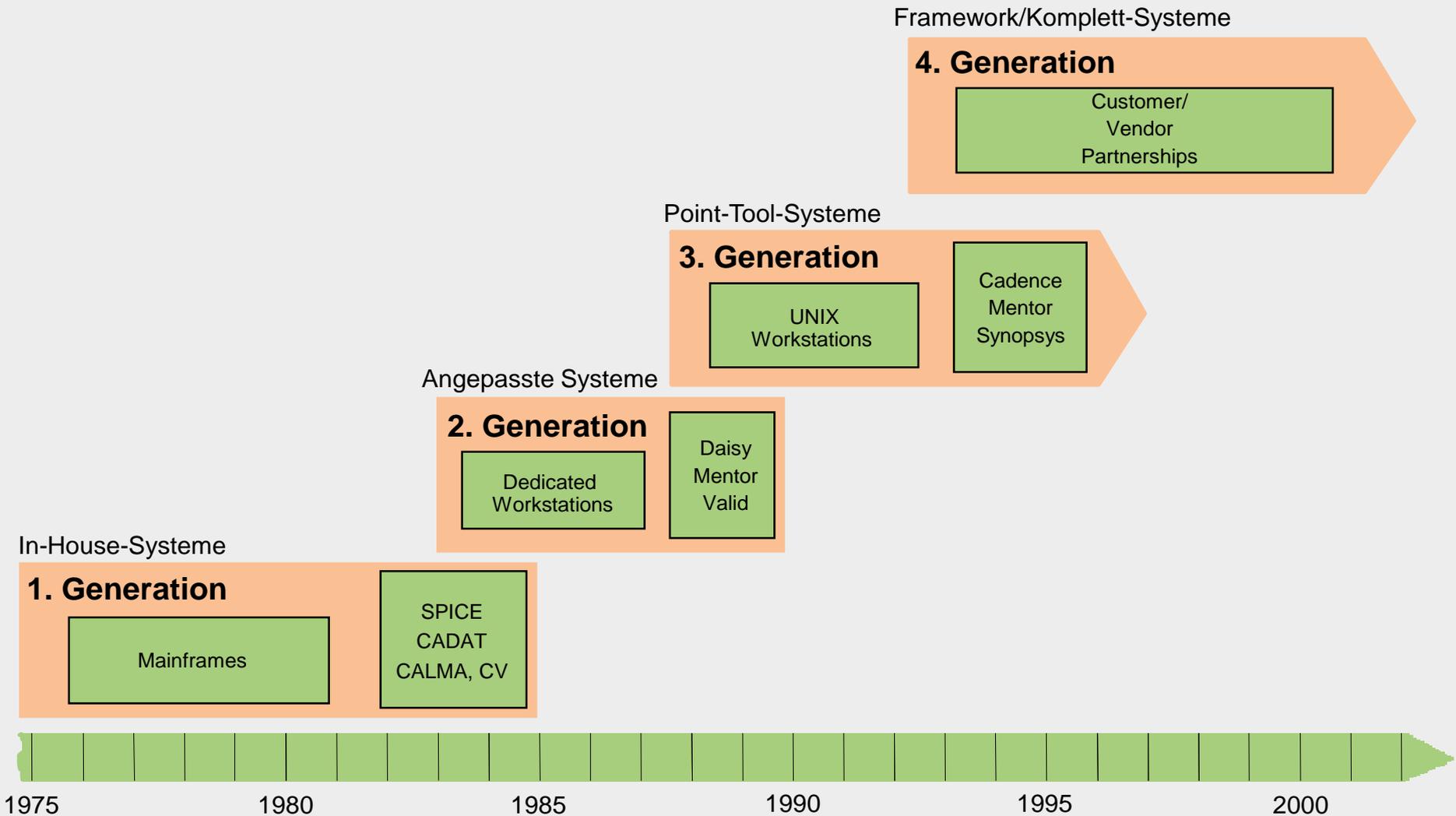
1965 stellte Gordon Moore (Fairchild) fest, dass sich die Anzahl der Transistoren in einer integrierten Schaltung alle 12 Monate verdoppelt. 10 Jahre später präzisierte er seine Aussagen dahingehend, dass diese Verdopplung aller 18 Monate eintritt, was als Moore's Law in die Geschichte einging.



Quelle: Moore: „Cramming more components onto integrated circuits“
Electronics, Vol. 38, No. 8, 1965

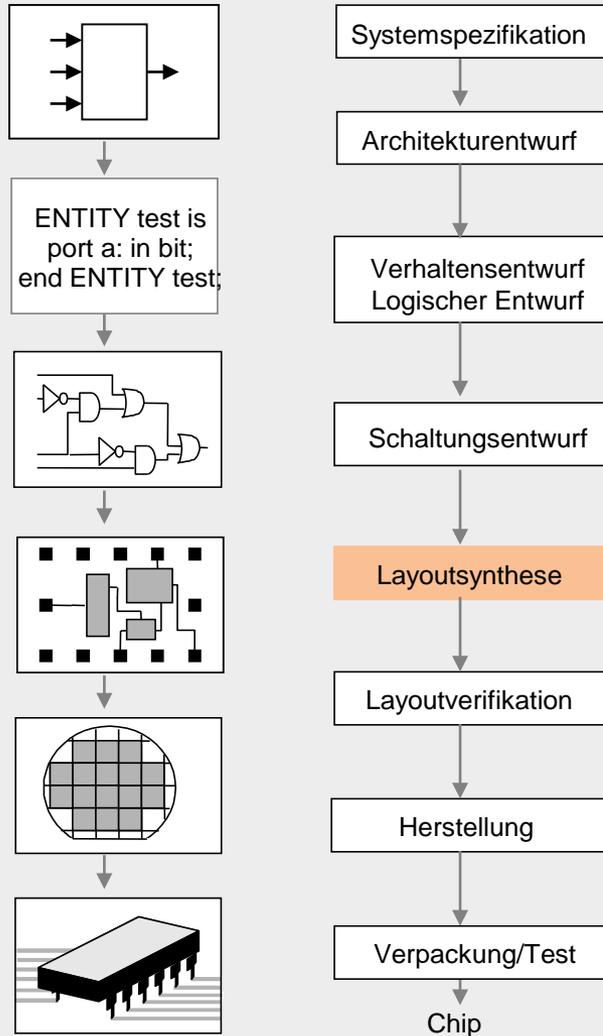
Potential Design Complexity and Designer Productivity



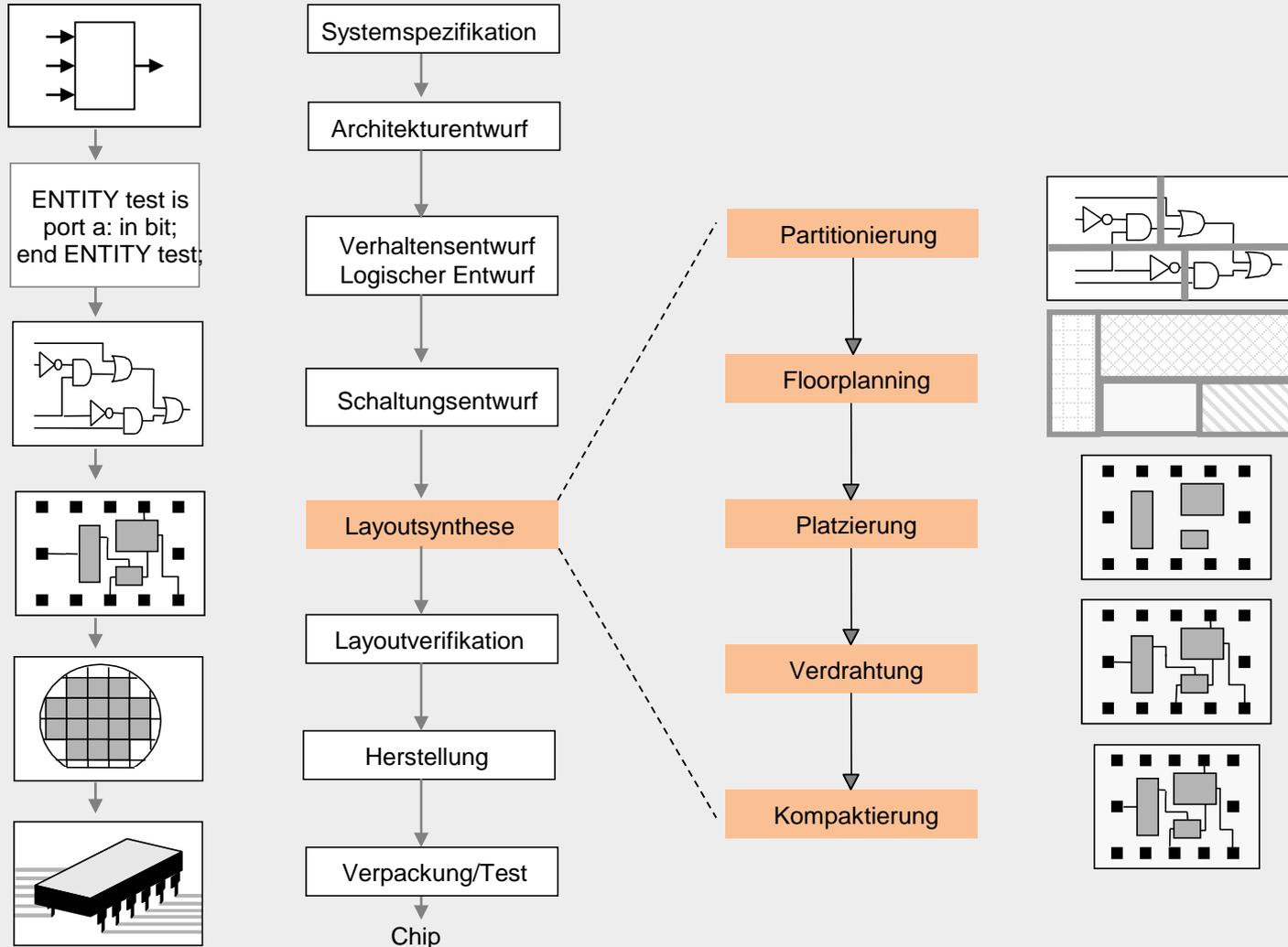


- 1.1 Entwurfsautomatisierung in der Elektronik (EDA)
- 1.2 Hinweise
- 1.3 Bedeutung der Entwurfsautomatisierung
- 1.4 Entwicklung der Entwurfsautomatisierung
- 1.5 Übersicht über den Entwurfsprozess**
- 1.6 Entwurfsstile
- 1.7 Layoutebenen
- 1.8 Entwurfsregeln
- 1.9 Layoutsynthese als Optimierungsproblem
- 1.10 Rechenkomplexität der Layoutsynthese
- 1.11 Einteilung von Entwurfsalgorithmen
- 1.12 Lösungsqualität von Entwurfsalgorithmen
- 1.13 Graphentheoretische Grundbegriffe
- 1.14 Häufig verwendete Layoutbegriffe

1.5 Übersicht über den Entwurfsprozess

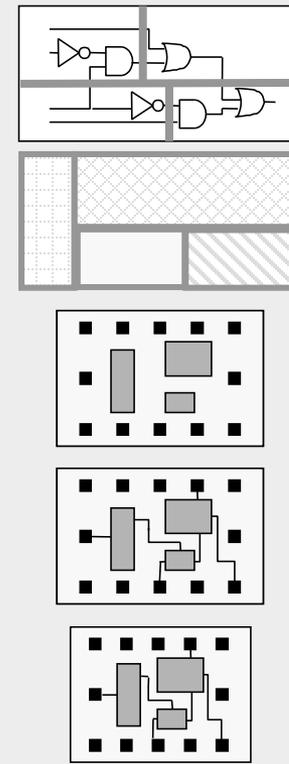
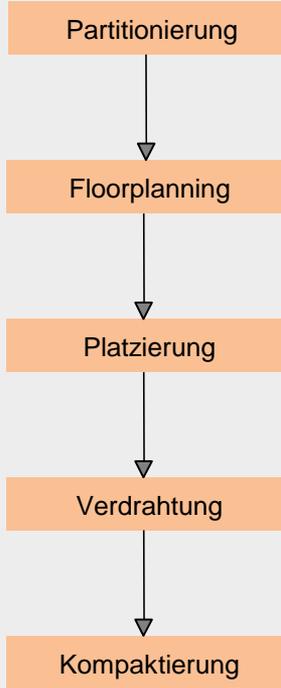


1.5 Übersicht über den Entwurfsprozess

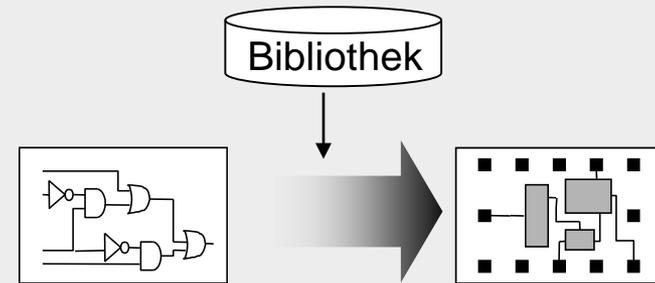


Überführung einer Netzliste unter Nutzung von Technologie- und Bibliotheksinformationen in die reale geometrische Abbildung einer Schaltung

Layoutsynthese



Überführung einer Netzliste unter Nutzung von Technologie- und Bibliotheksinformationen in die reale geometrische Abbildung einer Schaltung

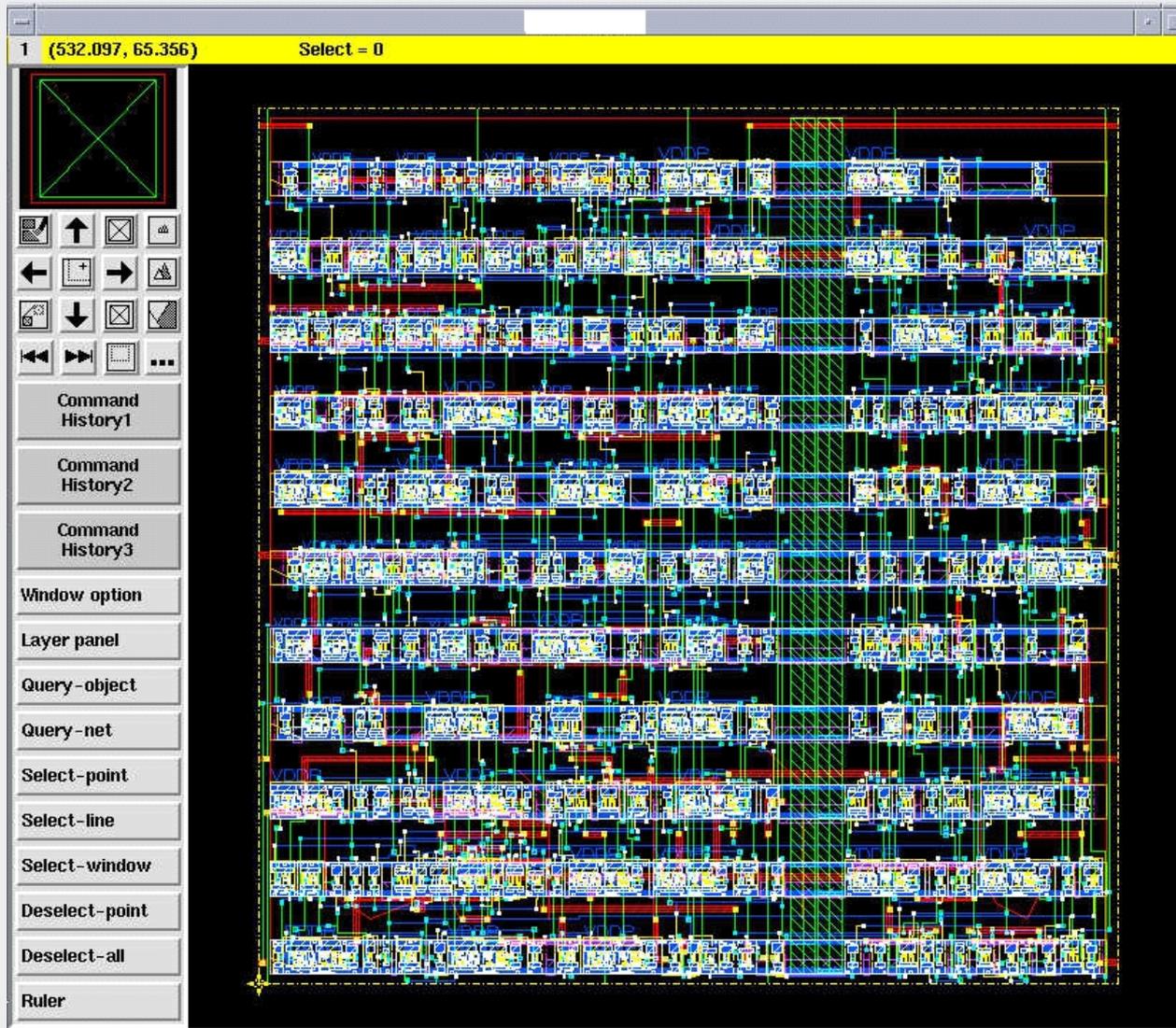


- Gegeben sei eine Menge von Zellen/Bauelementen und eine Menge von Verbindungen zwischen ihnen (Netzliste) sowie technologische und Zellen/Bauelemente-Informationen
- Gesucht ist eine optimierte **Platzierung** der Zellen/Bauelemente und die Ausführung der Verbindungen zwischen ihnen (**Verdrahtung**) unter Beachtung von Randbedingungen und Optimierungszielen

- Layoutsynthese ist immer technologieabhängig, d.h. die genauen Details hängen von den Entwurfsregeln (Design Rules) der jeweiligen Zieltechnologie ab
- Entwurfsregeln: abgeleitet aus den Grenzwerten des technologischen Implementierungsprozesses und den elektrischen Eigenschaften des verwendeten Materials

- Layoutsynthese bestimmt im Wesentlichen die Leistungsfähigkeit des zu erstellenden Schaltkreises, seine Fläche, die Zuverlässigkeit sowie die Ausbeute des Herstellungsprozesses (Yield)
- Beispiele:
 - Leistungsfähigkeit: Lange Verbindungsleitungen bedingt wesentliche Signalverzögerungen
 - Fläche: „Schlecht“ platzierte Module bedingen unnötig große Verdrahtungsflächen
 - Zuverlässigkeit: Große Anzahl von Vias (Durchkontaktierungen) bedingen höhere Defektraten
 - Ausbeute: Je größer die Chipfläche, desto geringer ist die Ausbeute von funktionalen Schaltkreisen

1.5.5 Layoutsynthese: Digitalentwurf



1.5.5 Layoutsynthese: Analogentwurf

The screenshot displays the IC Station v8.7.2.1 software interface for analog layout synthesis. The main window shows a detailed layout of a circuit board, with a grid of components and various layers. The components are labeled with their part numbers and types, such as resistors (R1102, R1103, R1104) and capacitors (C1107, C1108, C1109, C1110, C1111, C1112, C1113, C1114). The layout is color-coded by layer and material, with a legend on the right side of the window. The legend includes items like BURNED, HIL_BRI, CMOS_ISO, ACTIVE, D_FIELD, POLY, POLY2, N_PLUS, P_PLUS, and CONT. The layout also shows a grid of components, with labels like EPI, MET, and N3. The bottom-left corner of the window displays a schematic diagram of the circuit, showing the electrical connections between the components. The schematic includes resistors (R1102, R1103, R1104) and capacitors (C1107, C1108, C1109, C1110, C1111, C1112, C1113, C1114) connected to a 25.0V source. The schematic also shows a network of nodes (N3, N4) and a grid of components. The bottom status bar indicates: "Nothing of an appropriate type is selected. Delete not performed."

IC Station, v8.7.2.1

MGT. File Context Objects Edit Select Connectivity Setup Report Other View Checking Packages Help

Context: boardgap (C) P D Process 6.7 (1) 1001/071

Component: 1.000 101.000 10 Mark: 71.000 117.000

Layer: 8, MP-1A1 7

Zoom: 0.1 MathMag: 0.0

IC 8: boardgap (1)

BURNED vE
HIL_BRI vF
CMOS_ISO vL
ACTIVE vF
D_FIELD vF
POLY vE
POLY2 vF
N_PLUS vL
P_PLUS vF
CONT vE

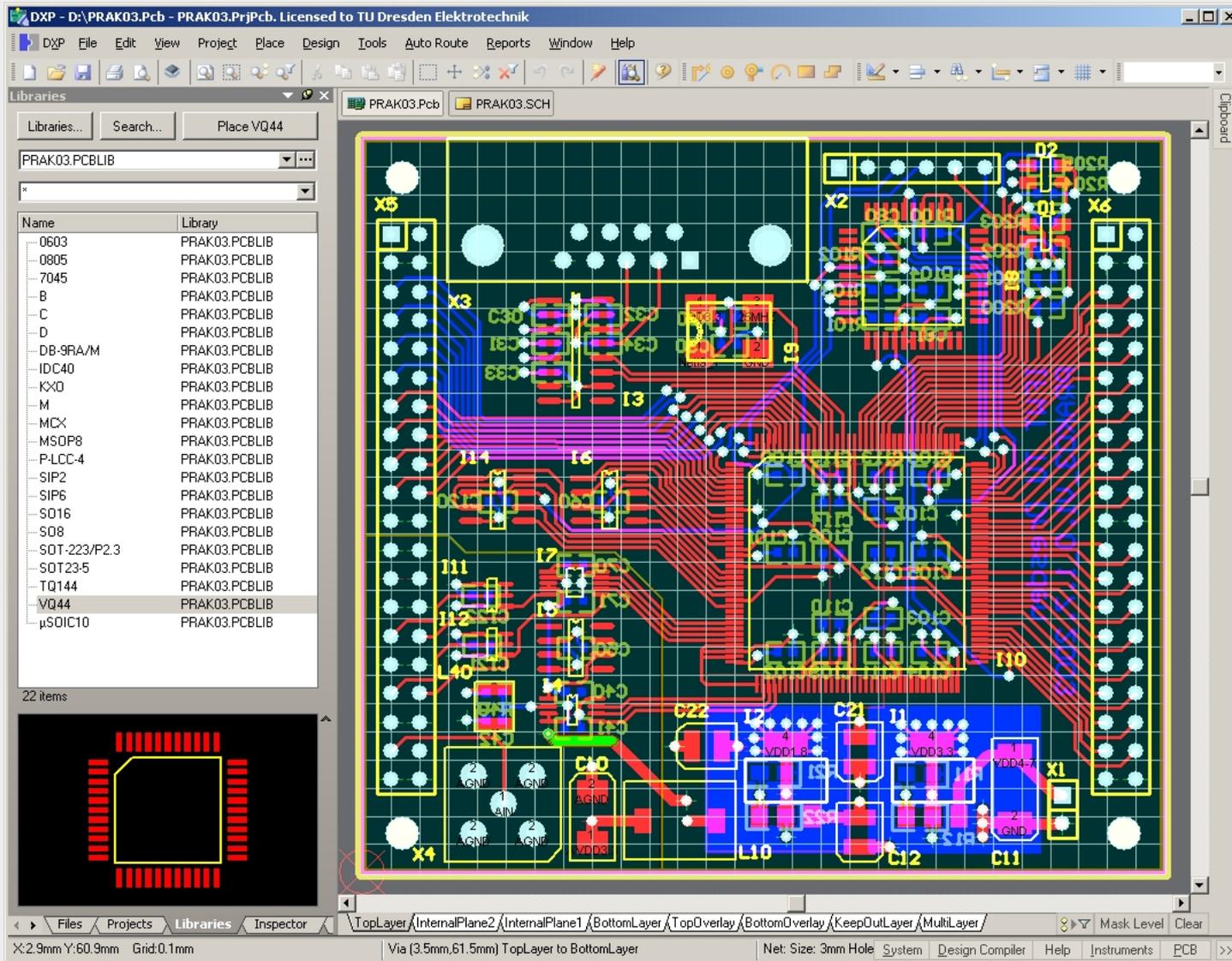
IC Palettes

ICrules
ICtrace (D)
ICclean (M)
ICextract (D)
ICconstraint (M)
Verify (DRC)
ventop (LVS)

Flourplan
HACA & ROUTA

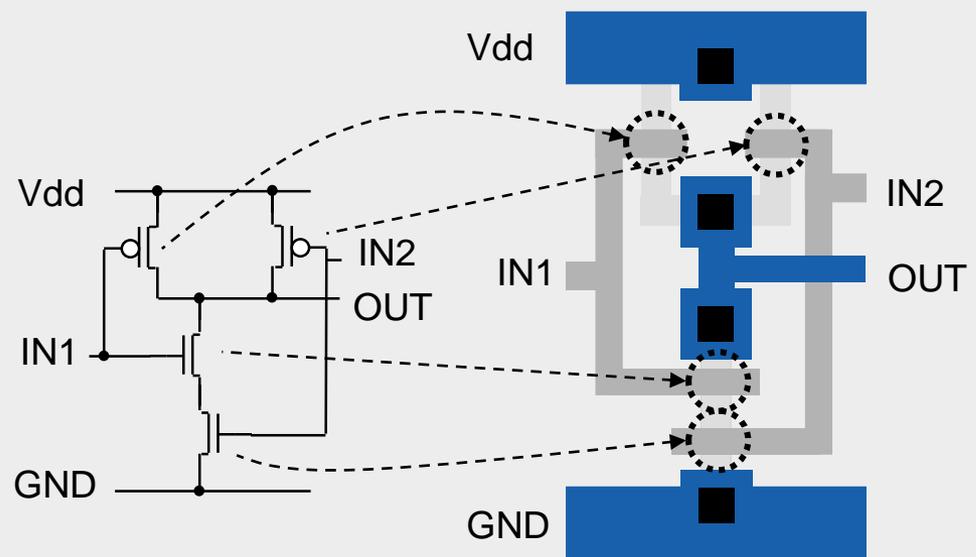
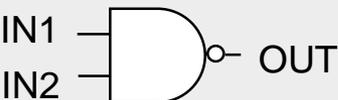
Nothing of an appropriate type is selected. Delete not performed.

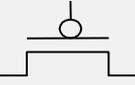
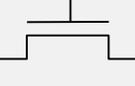
1.5.5 Layoutsynthese: Leiterplattenentwurf



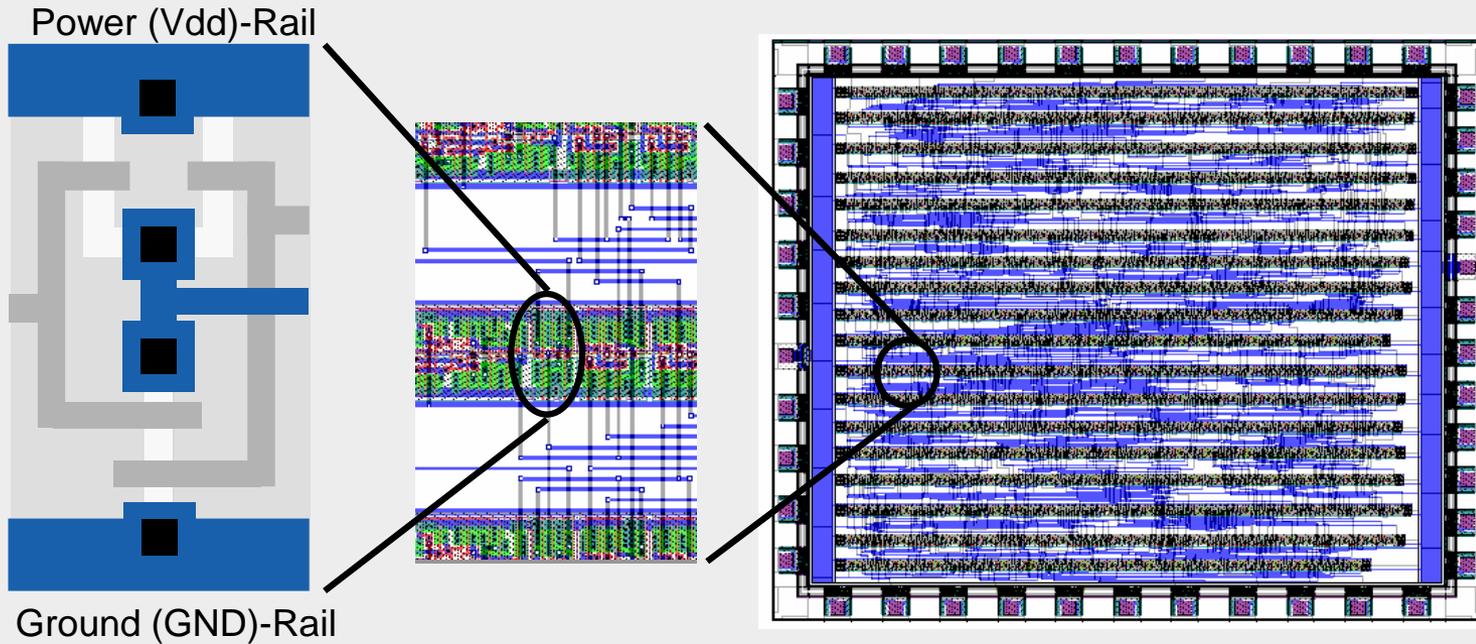
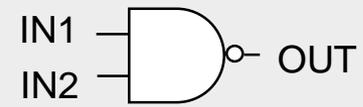
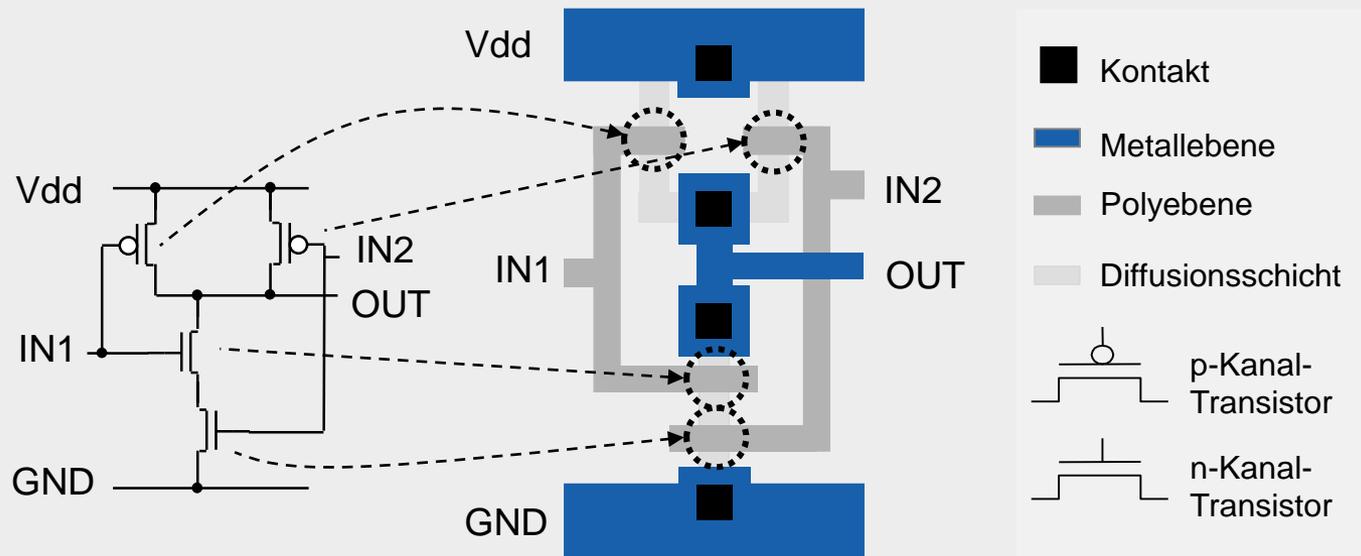
- 1.1 Entwurfsautomatisierung in der Elektronik (EDA)
- 1.2 Hinweise
- 1.3 Bedeutung der Entwurfsautomatisierung
- 1.4 Entwicklung der Entwurfsautomatisierung
- 1.5 Übersicht über den Entwurfsprozess
- **1.6 Entwurstile**
- 1.7 Layoutebenen
- 1.8 Entwurfsregeln
- 1.9 Layoutsynthese als Optimierungsproblem
- 1.10 Rechenkomplexität der Layoutsynthese
- 1.11 Einteilung von Entwurfsalgorithmen
- 1.12 Lösungsqualität von Entwurfsalgorithmen
- 1.13 Graphentheoretische Grundbegriffe
- 1.14 Häufig verwendete Layoutbegriffe

- **Kundenspezifischer Entwurststil** (Full-custom approach): Layoutelemente werden manuell entworfen und lassen sich auf der gesamten zur Verfügung stehenden Layoutfläche platzieren („randbedingungsfrei“).
- **Standardisierter Entwurststil** (Semi-custom approach): Layoutelemente besitzen eine vorgegebene Struktur bzw. Anordnung, um die Komplexität der Layoutsynthese zu reduzieren.
 - Zellenbasierter Entwurf, wie der Standardzellen- und Makrozellen-Entwurf (vorgefertigte Zellen aus Bibliotheken)
 - Arraybasierter Entwurf, wie der Entwurf von Gate-Arrays bzw. Field Programmable Gate-Arrays (FPGAs) (vorgefertigte Zellen, die schon angeordnet sind)

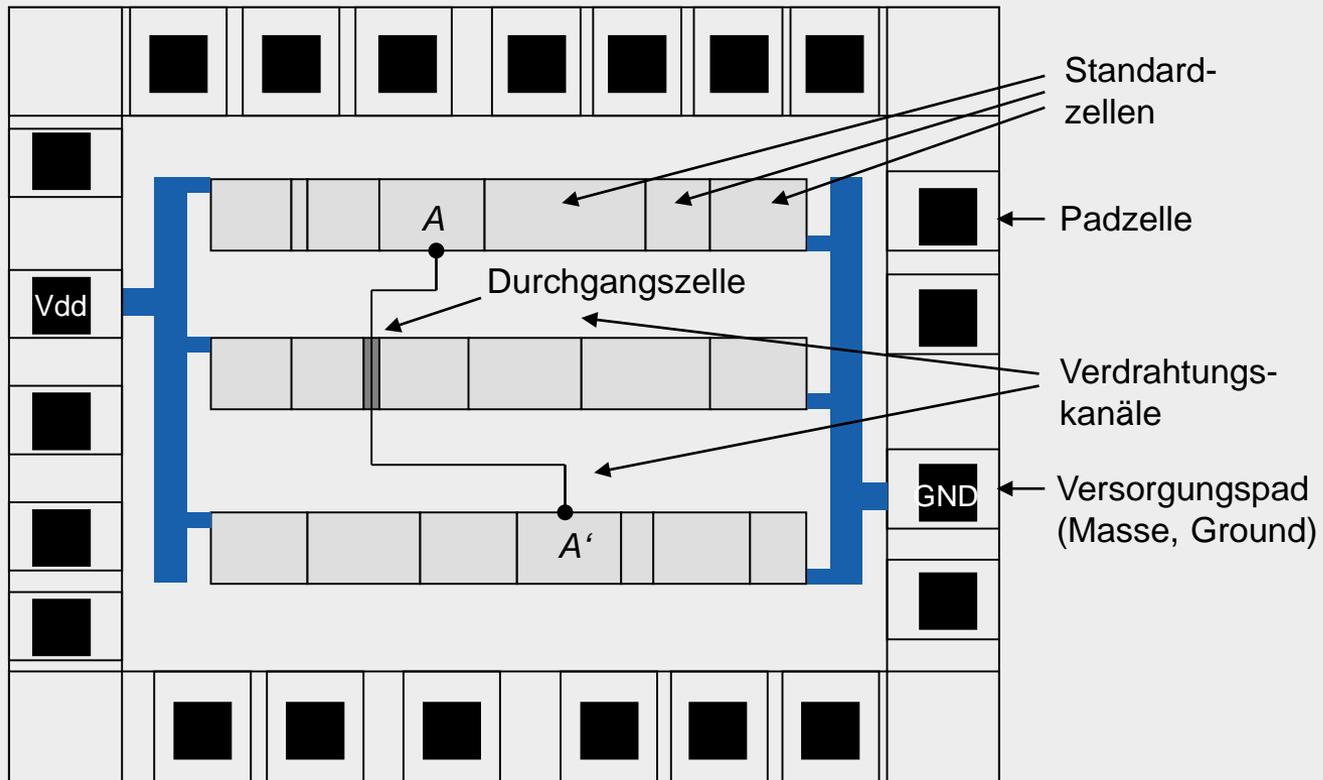


-  Kontakt
-  Metallebene
-  Polyebene
-  Diffusionsschicht
-  p-Kanal-Transistor
-  n-Kanal-Transistor

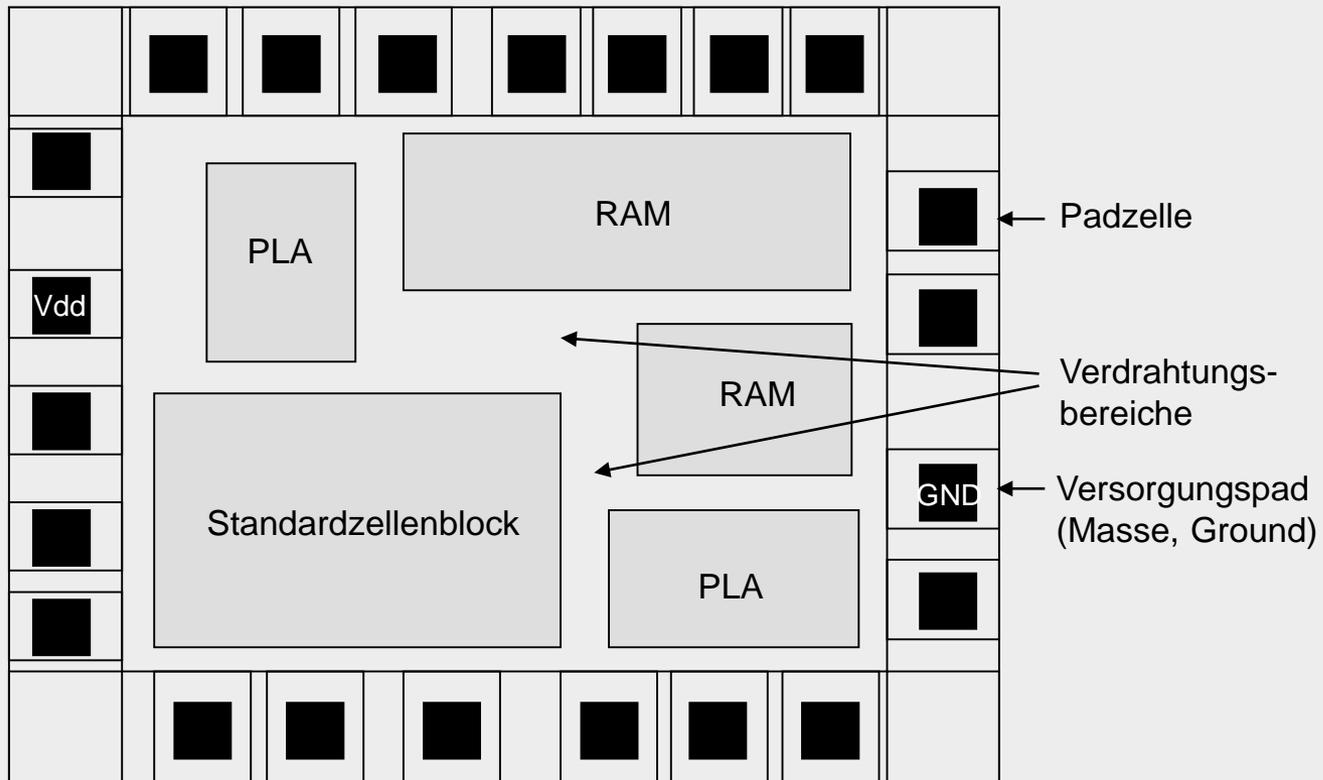
NAND-Gatter in CMOS-Technologie



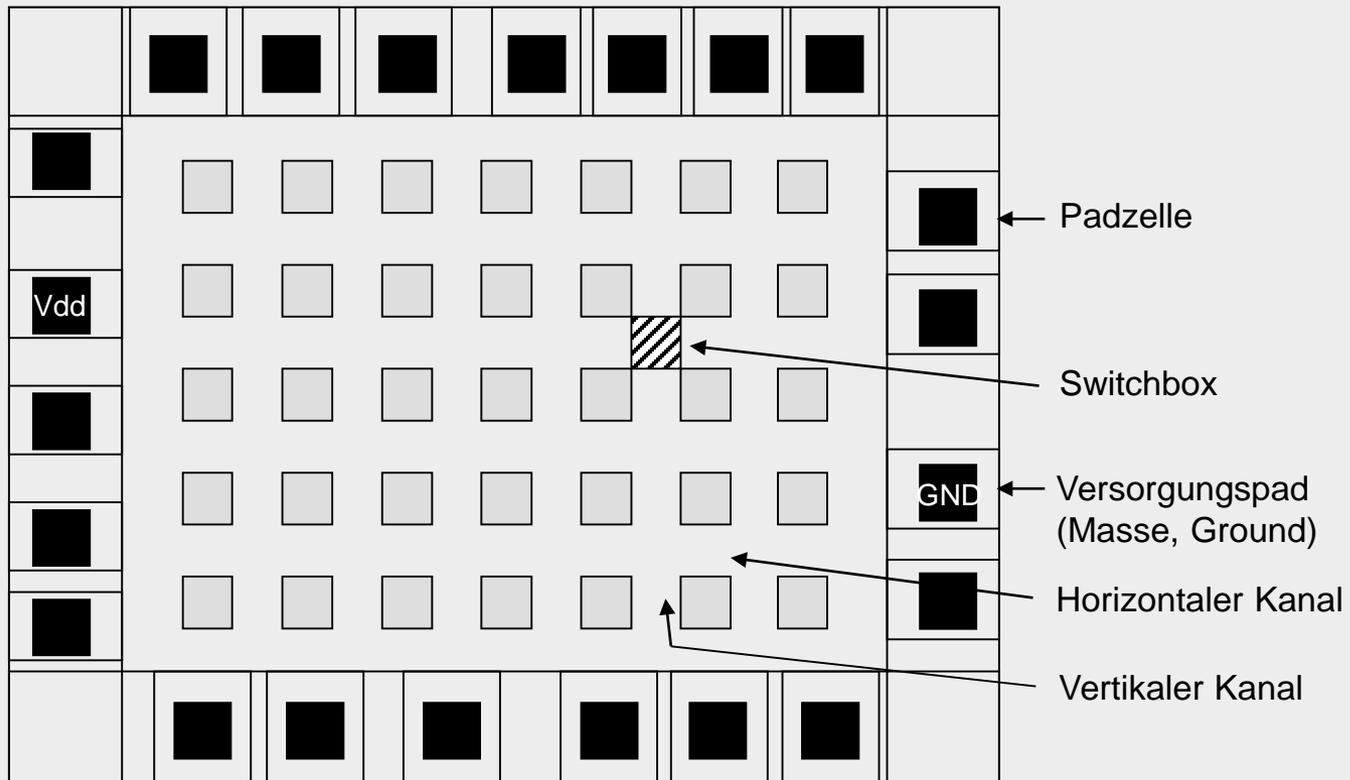
1.6.2 Standardzellen-Entwurf



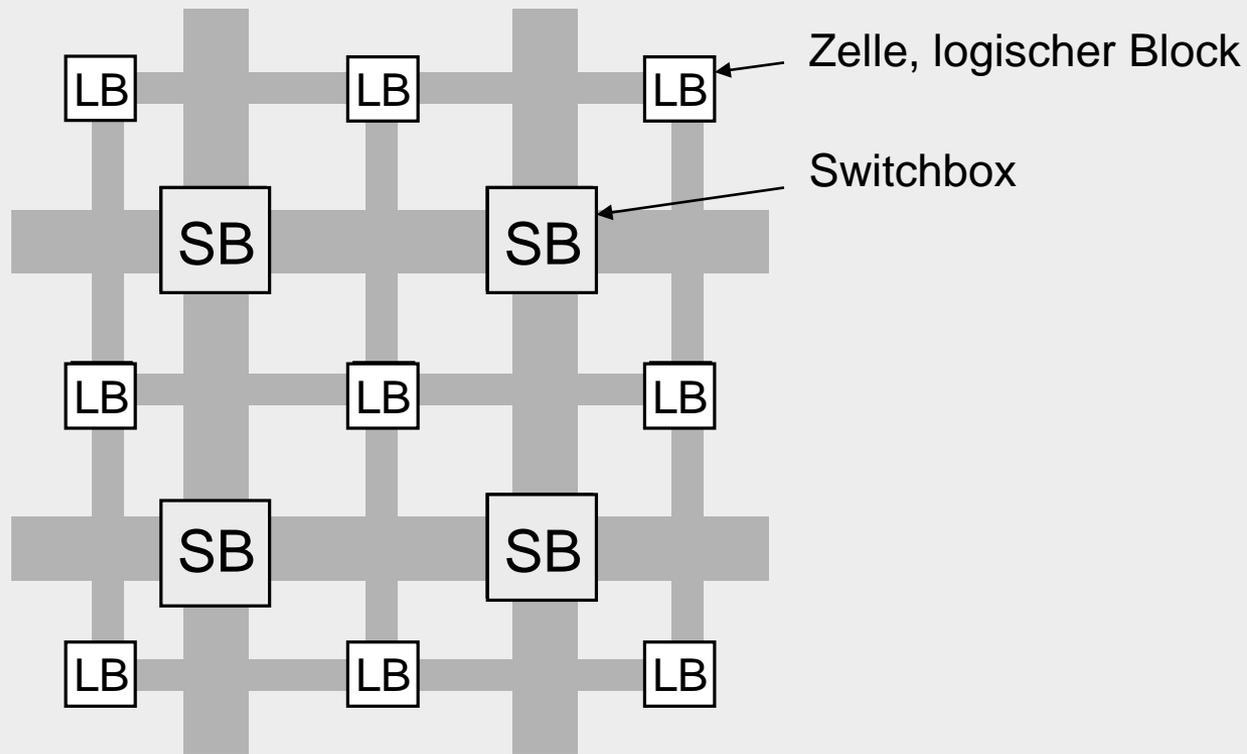
1.6.3 Makrozellen-Entwurf



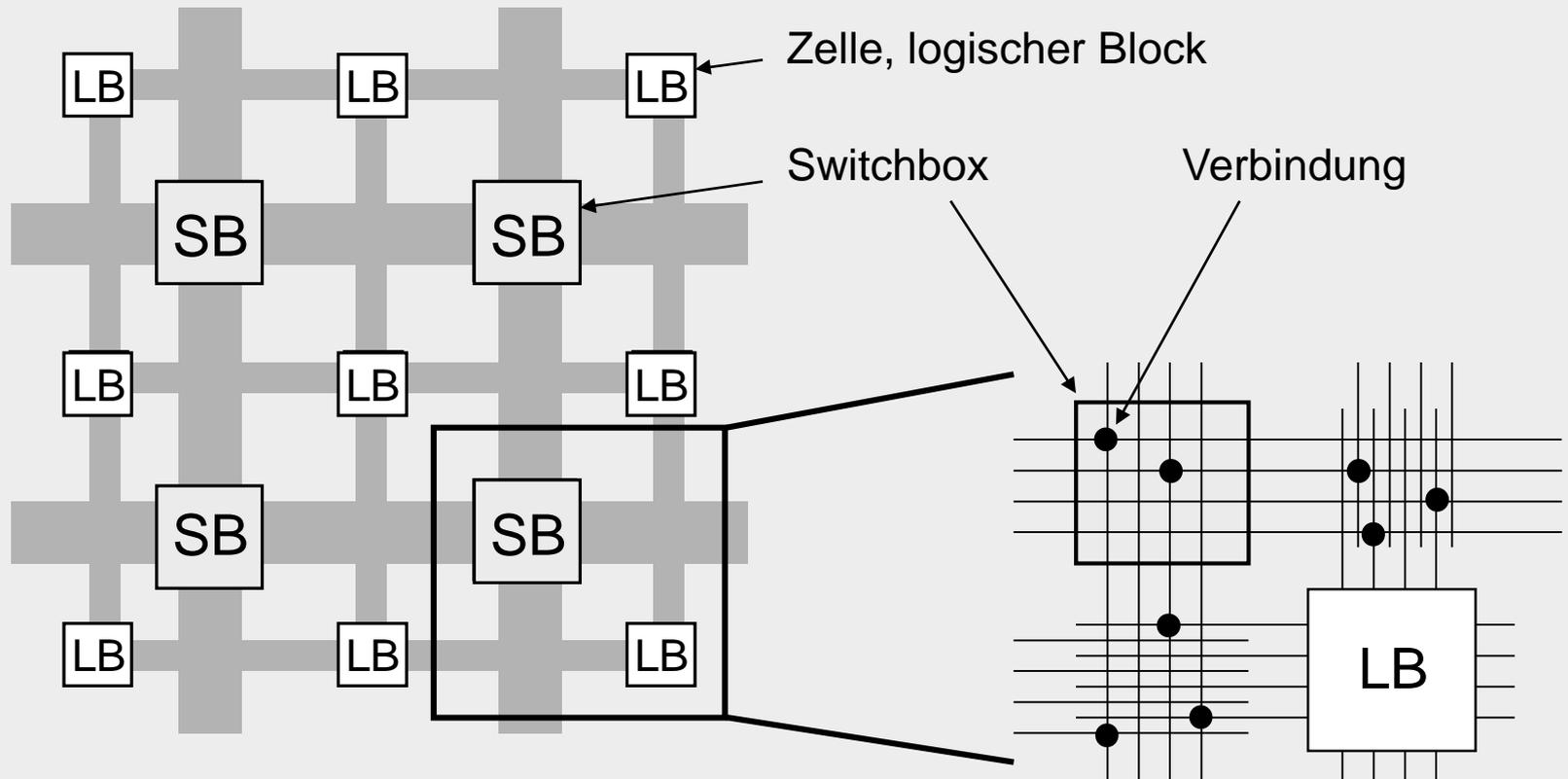
1.6.4 Gate-Array-Entwurf



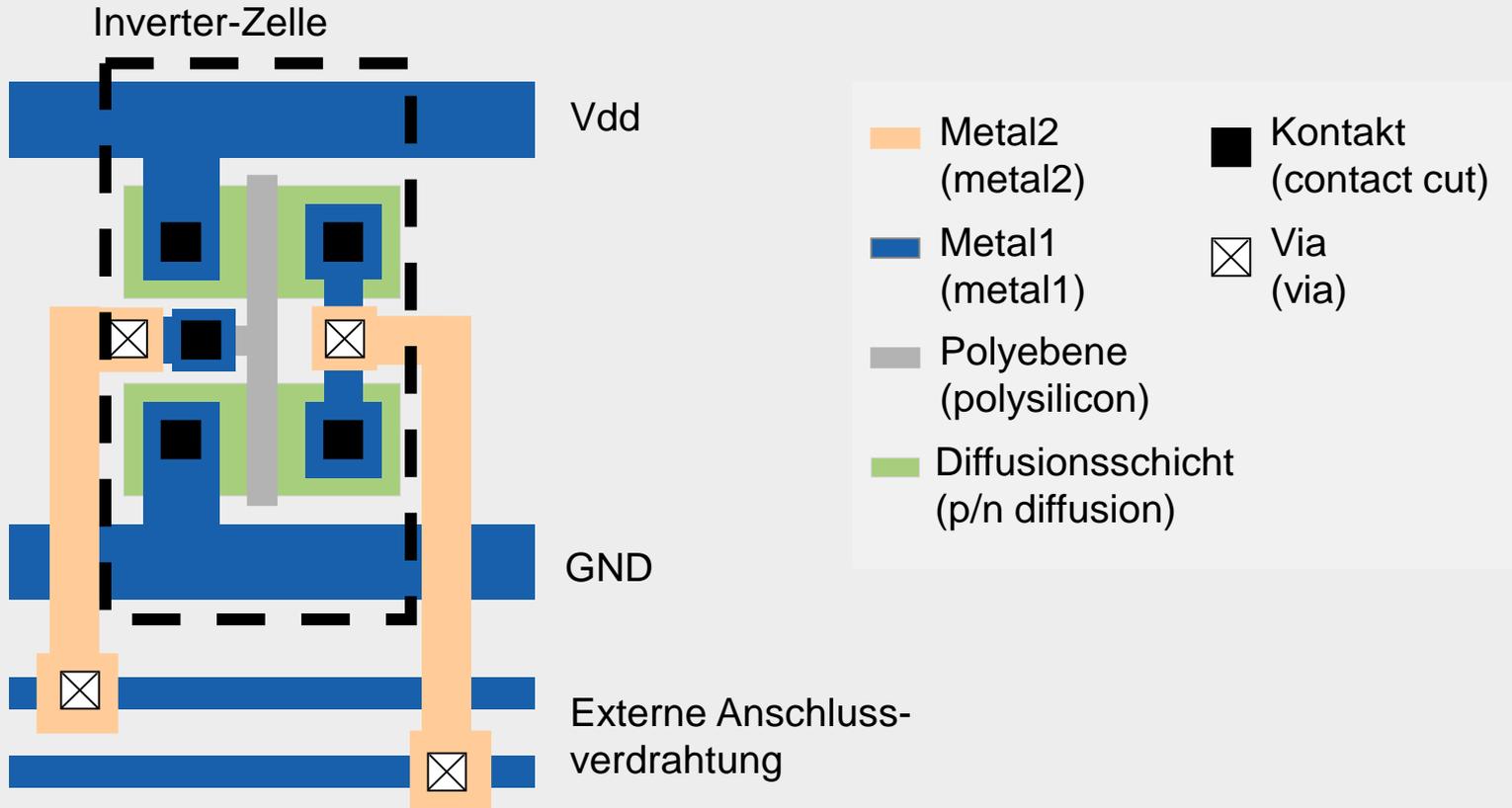
1.6.4 Gate-Array-Entwurf: FPGA



1.6.4 Gate-Array-Entwurf: FPGA

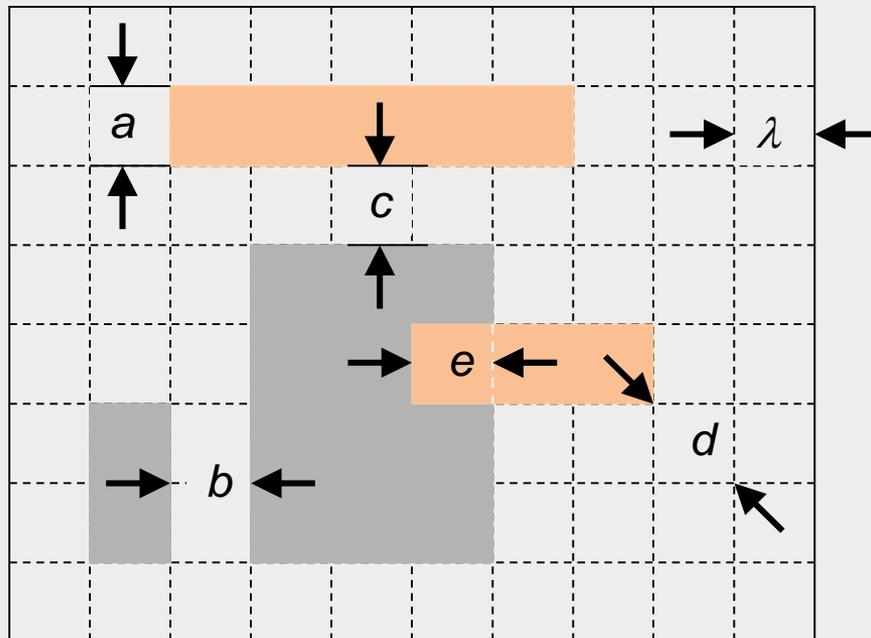


1.7 Layoutebenen



1.8 Entwurfsregeln

- Minimale Weitenregeln (Minimum width)
- Minimale Abstandsregeln (Minimum separation)
- Minimale Überlappungsregeln (Minimum overlap)



Minimale Weite a

Minimaler Abstand b c d

Minimale Überlappung e

Lambda λ

- 1.1 Entwurfsautomatisierung in der Elektronik (EDA)
- 1.2 Hinweise
- 1.3 Bedeutung der Entwurfsautomatisierung
- 1.4 Entwicklung der Entwurfsautomatisierung
- 1.5 Übersicht über den Entwurfsprozess
- 1.6 Entwurfsstile
- 1.7 Layoutebenen
- 1.8 Entwurfsregeln
- 1.9 Layoutsynthese als Optimierungsproblem**
- 1.10 Rechenkomplexität der Layoutsynthese
- 1.11 Einteilung von Entwurfsalgorithmen
- 1.12 Lösungsqualität von Entwurfsalgorithmen
- 1.13 Graphentheoretische Grundbegriffe
- 1.14 Häufig verwendete Layoutbegriffe

1.9 Layoutsynthese als Optimierungsproblem

- Layoutentwurf ist komplexes Optimierungsproblem mit verschiedenen **Optimierungszielen**, wie z.B. minimale Chipfläche A und minimale Verbindungslänge L
- Optimierungsziele stehen häufig in Konkurrenz zueinander und sind mathematisch schwer fassbar, daher Abbildung als **Zielfunktion** (Kostenfunktion), wobei die einzelnen Ziele gewichtet eingehen, z.B.
$$Z = w_1 * A + w_2 * L$$
- w_1 und w_2 sind **Wichtungsfaktoren**

Bei der Layoutsynthese sind **Randbedingungen** einzuhalten

- **Technologische Randbedingungen** werden aus der zur Herstellung benutzten Technologie und deren Grenzwerten abgeleitet (technologisch bedingte Abstands-, Breiten- und Überlappingsregeln)
Beispiel: Minimale Breiten- und Abstandswerte
- **Elektrische Randbedingungen** gewährleisten das angestrebte elektrische Verhalten der Baugruppe (auch funktionale Randbedingungen genannt)
Beispiel: Maximal erlaubte Signalverzögerung einer Verbindung
- **Entwurfsmethodische Randbedingungen** werden eingeführt, um die Komplexität bzw. den Schwierigkeitsgrad des Entwurfs abzumildern (auch geometrische Randbedingungen genannt)
Beispiel: Vorzugsrichtungen für die Verdrahtung

Die wesentlichen Schwierigkeiten der Layoutsynthese bestehen in der Erfüllung einer Vielzahl von Optimierungszielen, wobei

- die unterschiedlichen Optimierungsziele auch noch gegenläufig sein können (Beispiel: Minimierung der Verbindungslänge führt oft zur Erhöhung der Viaanzahl),
- diese Zielstellungen bei gleichzeitiger strikter Einhaltung von unterschiedlichsten Randbedingungen angestrebt werden müssen und
- diese Randbedingungen sich (bedingt durch die Technologieentwicklung und damit erhöhten Schaltungsanforderungen) ständig erweitern und verschärfen.

Schlussfolgerungen aus diesen Schwierigkeiten:

- Jeder **Entwurfstil bedarf eigene Vorgehensweise** zur Layouterstellung (kein universelles Computerprogramm für die Layoutsynthese im Allgemeinen)
- Einführung von **entwurfsmethodischen Randbedingungen**, wie z.B. Reihenanordnungen von Standardzellen mit Verdrahtungskanälen, und Ausnutzung dieser auf Kosten der Optimalität des Entwurfs
- **Aufspaltung des (Layout-)Entwurfs** in verschiedene Teilprobleme („Entwurfsschritte“), die einzeln und sukzessive bearbeitet werden können
- Einführung von **Lösungsheuristiken**, welche effektiv eine brauchbare Lösung finden anstelle von Lösungsmethoden, welche mit viel Aufwand globales Optimum anstreben

Probleme der Layoutsynthese gehören zur Klasse der **NP-harten Probleme**:

- Aufgrund der Komplexität des Entwurfsproblems und der damit verbundenen sehr großen Rechenzeiten können mit deterministischen Algorithmen keine optimalen Lösungen zeiteffektiv gefunden werden.
- Beispiel: Platzierung von n Bauelementen derart hintereinander, dass die Gesamtverbindungslänge minimiert wird
 - Lösungsraum besteht aus $n!$ Möglichkeiten
 - Wenn $1 \mu\text{s}$ pro Platzierungsermittlung benötigt wird, wären bei $n = 20$ Bauelementen 77 147 Jahre Rechenzeit nötig, um durch Einbeziehung aller Lösungen das Optimum zu ermitteln!

- Ausweg: **Nutzung von heuristischen Algorithmen**, die dem globalen Optimum möglichst nahe kommen.
- Im Gegensatz zu einem „Brute-Force“-Algorithmus, der die beste aller denkbaren Lösungsmöglichkeiten anstrebt, sucht ein heuristischer Algorithmus unter Einbeziehung von möglichst intelligenten Methoden (Hilfswissen) nur einen Teil des Lösungsraumes ab.
- Dabei kommt es darauf an, ein hinreichend gutes, nicht notwendig optimales Ergebnis in akzeptabler Zeit zu finden.

1.11 Einteilung von Entwurfsalgorithmen

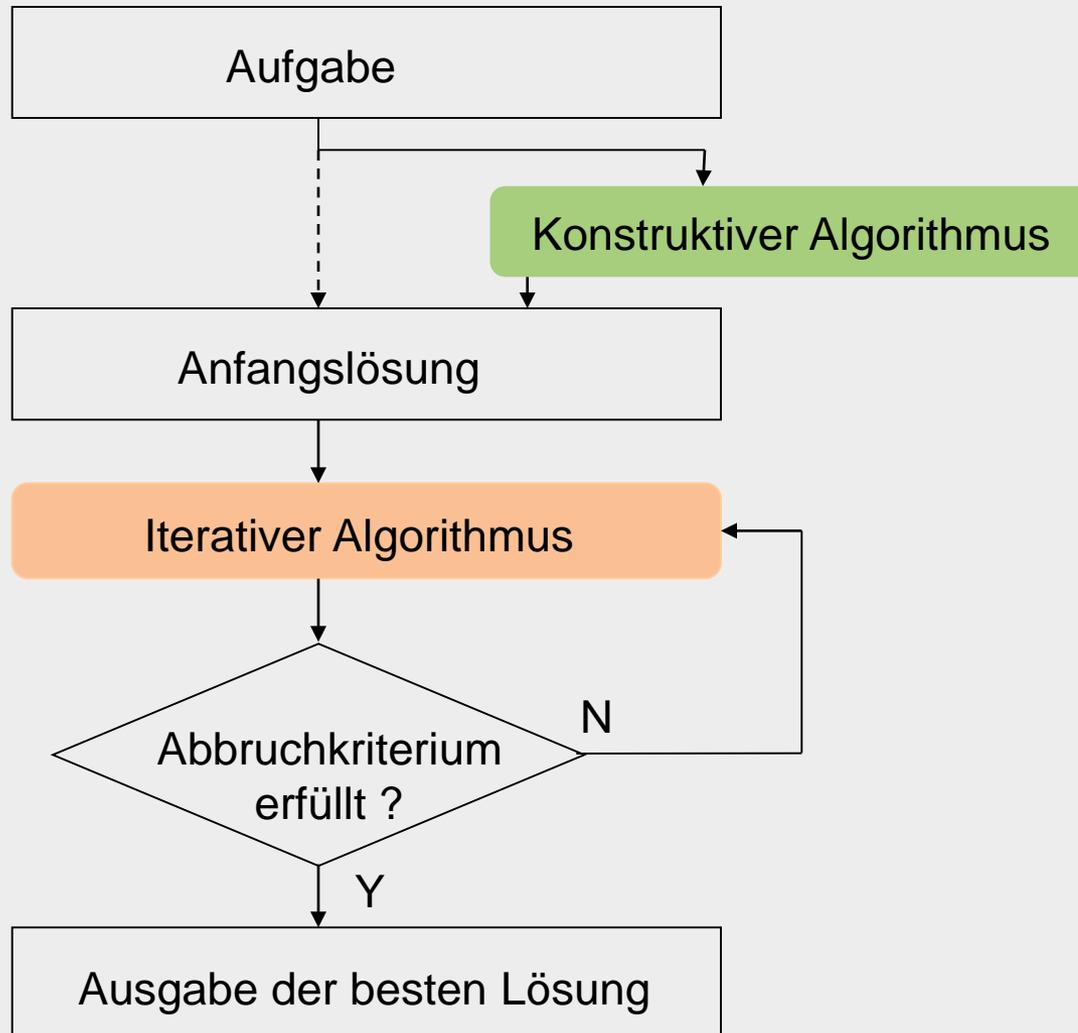
- Fast alle Algorithmen zur Entwurfsautomatisierung sind heuristische Algorithmen mit zwei Eigenschaften:
 - zeiteffektives Verhalten und
 - das Bestreben, eine Lösung so nahe wie möglich am (theoretischen bzw. angenommenen) Optimum zu erzielen.
- Heuristische Algorithmen können in **deterministische** und **stochastische** Algorithmen eingeteilt werden
- Auch Unterteilung in **konstruktive** und **iterative** Algorithmen möglich



Start mit einer Teillösung,
Hinzufügung weiterer Komponenten,
bis Endlösung vorliegt; eine hinzugefügte
Komponente wird nicht mehr modifiziert



Start mit einer kompletten
Anfangslösung,
wiederholte Versuche der
Qualitätsverbesserung,
bis zu einem Abbruchkriterium



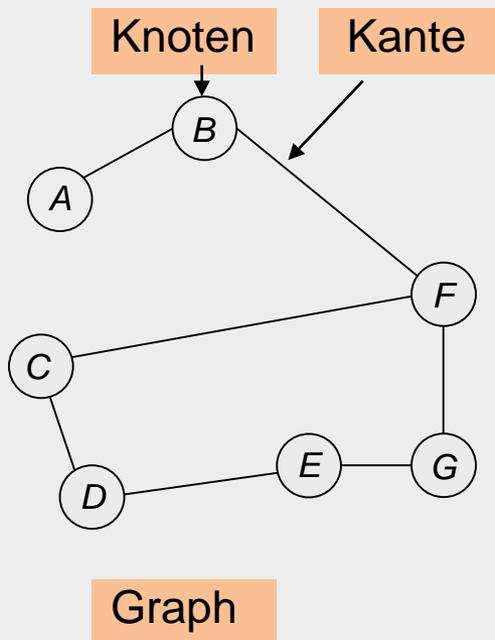
Da Nutzung von heuristischen Algorithmen, objektive Einschätzung der Lösungsqualität notwendig:

- Ermittlung der Ergebnisabweichung vom Optimum, wenn optimale Lösung bekannt (z.B. bei kleinen Problemgrößen oder „künstlich erstellten“ Aufgaben)
- Vergleich mit sog. „Benchmarks“, d.h. realen Layoutaufgaben mit bekannten und anerkannten Ergebnissen (unter Vorgabe konkreter Randbedingungen zur Sicherstellung der Vergleichbarkeit)

- 1.1 Entwurfsautomatisierung in der Elektronik (EDA)
- 1.2 Hinweise
- 1.3 Bedeutung der Entwurfsautomatisierung
- 1.4 Entwicklung der Entwurfsautomatisierung
- 1.5 Übersicht über den Entwurfsprozess
- 1.6 Entwurfsstile
- 1.7 Layoutebenen
- 1.8 Entwurfsregeln
- 1.9 Layoutsynthese als Optimierungsproblem
- 1.10 Rechenkomplexität der Layoutsynthese
- 1.11 Einteilung von Entwurfsalgorithmen
- 1.12 Lösungsqualität von Entwurfsalgorithmen
- 1.13 Graphentheoretische Grundbegriffe**
- 1.14 Häufig verwendete Layoutbegriffe

1.13 Graphentheoretische Grundbegriffe

Graph Geometrische Darstellung von Beziehungen zwischen einer Menge von Elementen (**Knoten**) durch **Kanten**, welche jeweils zwei Knoten verbinden



1.13 Graphentheoretische Grundbegriffe

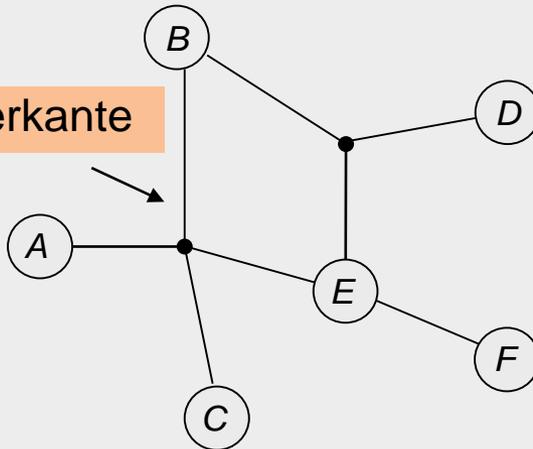
Hypergraph

Besteht aus Knoten und **Hyperkanten**, die jeweils mehr als zwei Knoten verbinden

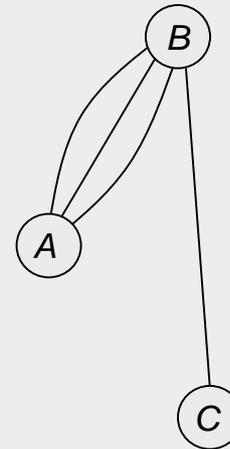
Multigraph

Zwei Knoten können durch mehr mehrere Kanten verbunden sein (z.B. Netzschichtung)

Hyperkante



Hypergraph

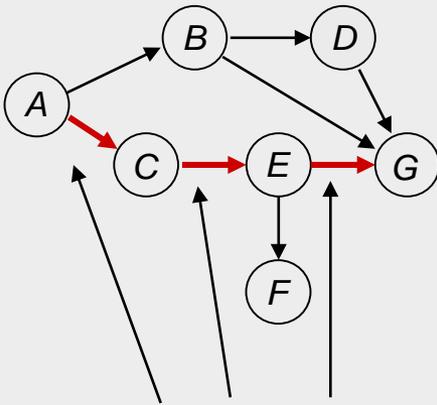


Multigraph

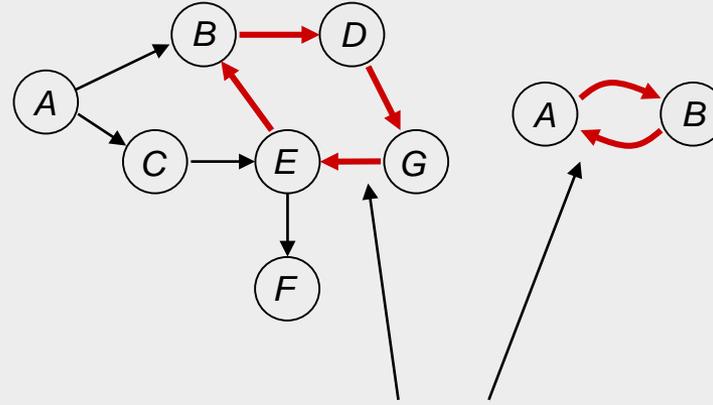
1.13 Graphentheoretische Grundbegriffe

Pfad Beliebige zusammenhängende Kantenfolge in einem Graphen

Masche (Schleife) Geschlossene, zum Ausgangspunkt zurückführende zusammenhängende Kantenfolge

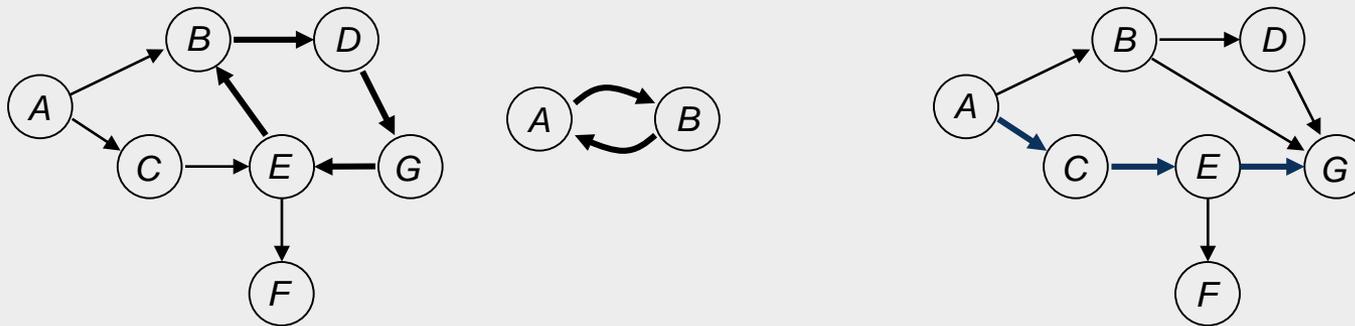


Pfad A-C-E-G



Maschen

Gerichtete Graphen

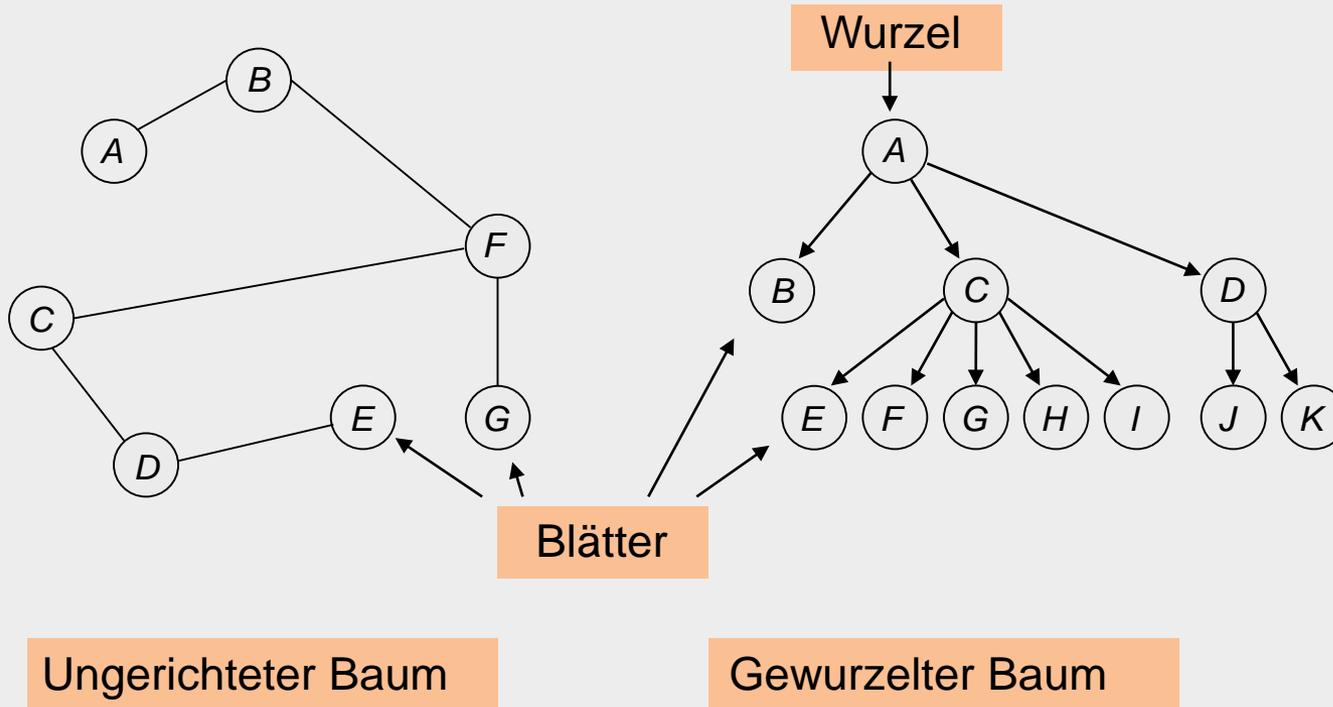


Vollständiger Graph: Jeweils eine Kante existiert zwischen beliebigen Knotenpaaren

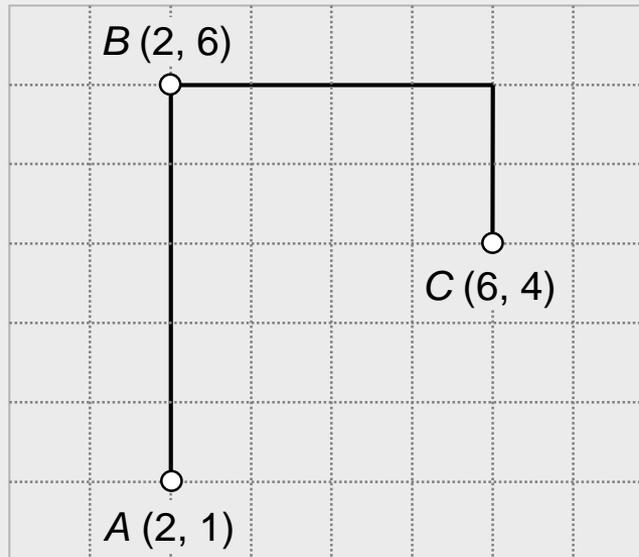
Zusammenhängender Graph: Mindestens ein Pfad existiert zwischen beliebigen Knotenpaaren

1.13 Graphentheoretische Grundbegriffe

Baum: zusammenhängender und maschenfreier Graph

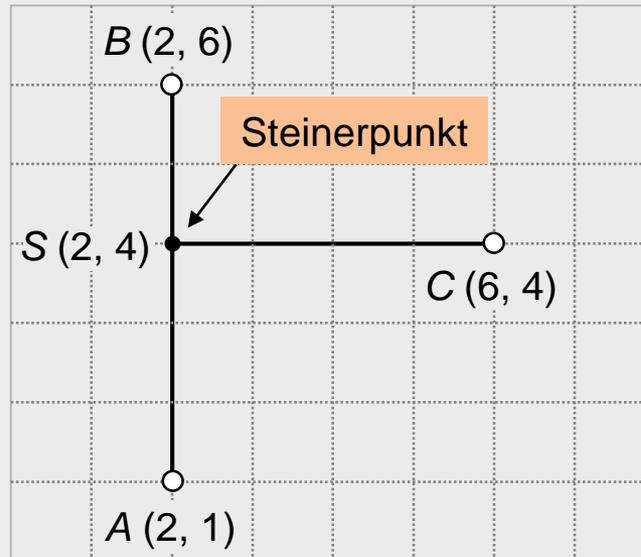


Rektilinearer minimaler Spannbaum (Rectilinear minimum spanning tree, RMST) dreier Anschlusspunkte A , B , C



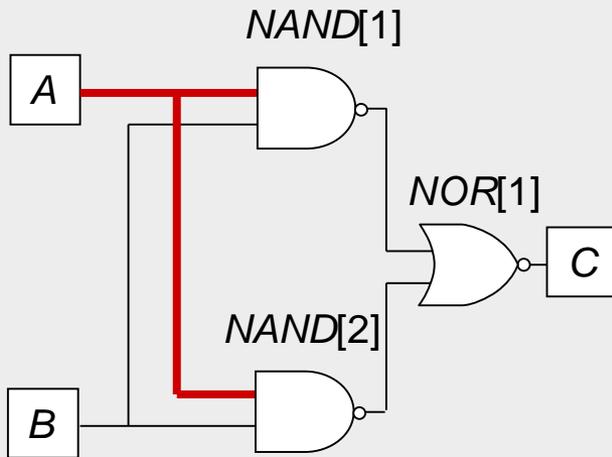
1.13 Graphentheoretische Grundbegriffe

Rektilinearer minimaler Steinerbaum (Rectilinear Steiner minimum tree, RSMT) dreier Anschlusspunkte A , B , C

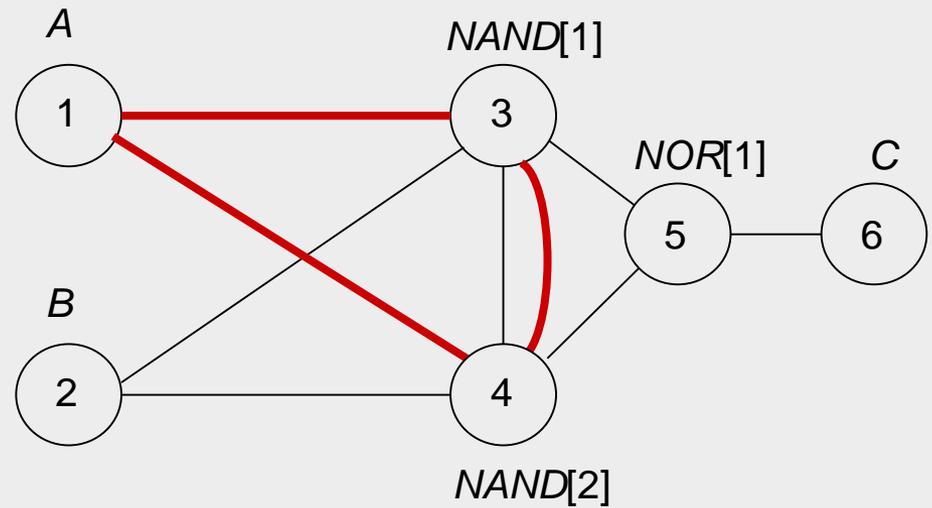


- 1.1 Entwurfsautomatisierung in der Elektronik (EDA)
- 1.2 Hinweise
- 1.3 Bedeutung der Entwurfsautomatisierung
- 1.4 Entwicklung der Entwurfsautomatisierung
- 1.5 Übersicht über den Entwurfsprozess
- 1.6 Entwurfsstile
- 1.7 Layoutebenen
- 1.8 Entwurfsregeln
- 1.9 Layoutsynthese als Optimierungsproblem
- 1.10 Rechenkomplexität der Layoutsynthese
- 1.11 Einteilung von Entwurfsalgorithmen
- 1.12 Lösungsqualität von Entwurfsalgorithmen
- 1.13 Graphentheoretische Grundbegriffe
- 1.14 Häufig verwendete Layoutbegriffe**

1.14 Häufig verwendete Layoutbegriffe



Verbindungsgraph

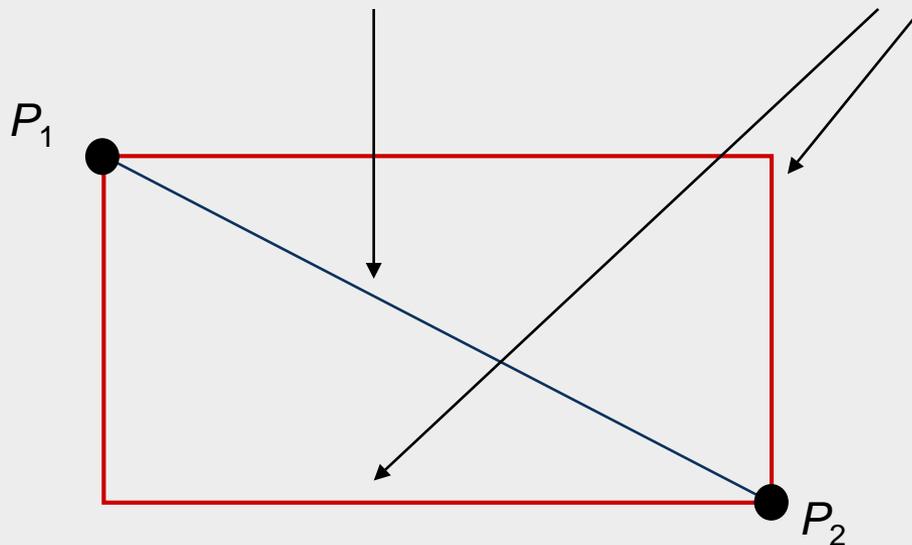


1.14 Häufig verwendete Layoutbegriffe

Abstandsdefinition zweier Punkte $P_1(x_1, y_1)$ und $P_2(x_2, y_2)$

$$d = \sqrt[n]{|x_2 - x_1|^n + |y_2 - y_1|^n}$$

mit $n = 2$: **Euklidische Metrik** und $n = 1$: **Manhattan-Metrik**



- 1.1 Entwurfsautomatisierung in der Elektronik (EDA)
- 1.2 Hinweise
- 1.3 Bedeutung der Entwurfsautomatisierung
- 1.4 Entwicklung der Entwurfsautomatisierung
- 1.5 Übersicht über den Entwurfsprozess
- 1.6 Entwurfsstile
- 1.7 Layoutebenen
- 1.8 Entwurfsregeln
- 1.9 Layoutsynthese als Optimierungsproblem
- 1.10 Rechenkomplexität der Layoutsynthese
- 1.11 Einteilung von Entwurfsalgorithmen
- 1.12 Lösungsqualität von Entwurfsalgorithmen
- 1.13 Graphentheoretische Grundbegriffe
- 1.14 Häufig verwendete Layoutbegriffe

- 1.1 Entwurfsautomatisierung in der Elektronik (EDA)
- 1.2 Hinweise
- 1.3 Bedeutung der Entwurfsautomatisierung
- 1.4 Entwicklung der Entwurfsautomatisierung
- 1.5 Übersicht über den Entwurfsprozess
- 1.6 Entwurfsstile
- 1.7 Layoutebenen
- 1.8 Entwurfsregeln
- 1.9 Layoutsynthese als Optimierungsproblem
- 1.10 Rechenkomplexität der Layoutsynthese
- 1.11 Einteilung von Entwurfsalgorithmen
- 1.12 Lösungsqualität von Entwurfsalgorithmen
- 1.13 Graphentheoretische Grundbegriffe (Selbststudium)**
- 1.14 Häufig verwendete Layoutbegriffe (Selbststudium)**

