



Kapitel 2  
**Partitionierung**

**2**

---

# 2

---

<b>2</b>	<b>Partitionierung</b> .....	<b>37</b>
2.1	Einführung .....	37
2.2	Begriffsbestimmungen .....	38
2.3	Optimierungsziele .....	39
	2.3.1 Externe Verbindungen .....	39
	2.3.2 Bounded-Size-Partitionierung .....	40
2.4	Partitionierungsalgorithmen .....	40
	2.4.1 Kernighan-Lin (KL)-Algorithmus .....	41
	2.4.2 Erweiterungen des Kernighan-Lin-Algorithmus .....	45
	2.4.3 Fiduccia-Mattheyses (FM)-Algorithmus .....	46
	2.4.4 Simulated-Annealing (SA)-Algorithmus .....	54
	Aufgaben zu Kapitel 2 .....	60
	Literatur zu Kapitel 2 .....	60

## 2 Partitionierung

### 2.1 Einführung

#### 2.1

Eine komplexe Gesamtschaltung kann oft nicht auf *einem* Verdrahtungsträger implementiert werden. Damit ist eine Aufteilung in einzelne Schaltungsblöcke notwendig, die sich dann beispielsweise als separate ICs realisieren lassen. Eine Aufteilung kann auch notwendig sein, um einer vorgegebenen Anzahl von Außenanschlüssen zu entsprechen.<sup>1</sup> Diese Anzahl sollte dem Verpackungsstandard entsprechen, also z.B. bei Quad-Flat-Packages Werte von 48, 64, 100 oder 144 besitzen. Manchmal ist eine Schaltungsaufteilung auch aus Komplexitätsgründen nötig. Hier ist eine komplexe Schaltung so zu zerlegen, dass sie in den nachfolgenden Entwurfsschritten, wie z.B. Platzierung und Verdrahtung, „handhabbar“ ist.

*Die Aufgabe der Partitionierung besteht darin, eine Schaltung in Teilschaltungen, sog. Partitionen oder Blöcke, aufzuteilen (zu partitionieren), wobei u.a. die Verknüpfungen der Blöcke untereinander zu minimieren sind.*

Das wesentliche Optimierungsziel bei der Partitionierung besteht somit in einer Schaltungsaufteilung, bei der so wenig wie möglich Verbindungen zwischen den resultierenden Blöcken erzeugt werden (Abb. 2.1). Diese Zielstellung resultiert zum einen daraus, dass sich viele Verbindungen zwischen den Blöcken negativ auf das Schaltungsverhalten auswirken, da sie z.B. oft sehr lang sind und demzufolge lange Signallaufzeiten bedingen. Zum anderen benötigen Blockverbindungen zusätzliche Verdrahtungsflächen und setzen die Zuverlässigkeit der Gesamtschaltung herab, insbesondere durch die erhöhte Anzahl von Kontaktstellen und Vias.

Auf die Optimierungsziele bei der Partitionierung wird in Kap. 2.3 detailliert eingegangen.

---

<sup>1</sup> Nach der Rent'schen Regel (Rent's Rule) besteht ein direkter Zusammenhang zwischen der Anzahl der Zellen (Gatter)  $n_G$  einer digitalen Schaltung und der Anzahl ihrer Außenanschlüsse  $n_P$ :  $n_P = t * n_G^r$ , wobei  $n_P$  Anzahl von Außenanschlüssen,  $t$  Anzahl von Pins pro Zelle,  $n_G$  Zellenanzahl der Schaltung und  $r$  positive Konstante  $< 1$  (Rent's Exponent). Eine Partitionierung in Teilschaltungen mit jeweils geringerer Zellenanzahl hat demzufolge im statistischen Mittel eine kleinere Anzahl von Außenanschlüssen dieser Teilschaltungen zur Folge.