

# Stichwortverzeichnis

## A

Abgeleiteter Layer, 124  
Ableitungsbelag, 313  
Abstandsregel, 53, 66  
Aktives Gebiet, 112  
Akzeptor, 11  
AlSiCu, 75  
Aluminium, 75  
Analoge Entwurfsschere, 24  
Analoge Schaltung, 17  
Analogentwurf, 24  
Analoger Entwurfsablauf, 180  
Analogschaltung, 29  
Analyseschritt, 170  
Anreicherungstyp, 88  
Anschlussdiffusion, 84  
Anschlussdotierung, 84  
Antenna-Dioden, 332  
Antenneneffekt, 329  
Antennenregel, 236  
Arbeitsraster, 107  
Architekturentwurf, 150  
Argonfluorid-Laser, 44  
Ätzrate, 55  
Ausdiffusion, 62, 64  
Ausfallwahrscheinlichkeit, 15

## B

Back-end-of- line, 14, 73  
Backgate, 86  
Band, 9  
Bandabstand, 10  
Bandgap-Schaltung, 104  
Bandlücke, 10

Basis, 267

Basisweite, 268  
Bauelement, 99, 109  
Bauelementbibliothek, 139  
Bauelementgenerator, 109, 270  
BCD, 19  
Belichtung, 3  
Belichtungsmaske, 3, 42  
Belichtungswellenlänge, 50  
BEOL, 14, 73  
Bestückungsaufdruck, 31  
Beugungseffekt, 50  
Bibliothek, 138  
BICMOS, 19  
BICMOS-Prozess, 267  
Bipolarprozess, 267  
Bird's beak, 58  
Black-Modell, 340  
Block, 109  
Blue tape, 12  
Bohrdatei, 32  
Bonddiagramm, 138  
Bonddraht, 8, 137  
Bondpad, 8, 137  
Bondverwehung, 137  
Bottom-up-Entwurfsstil, 167  
Bulk, 86  
Buried layer, 68, 251

## C

Channeling-Effekt, 64  
Channel-stop implant, 308  
Channel-Stop-Dotierung, 92  
Channel-Stopper, 309

Chemical vapor deposition, 78  
 Chemical-mechanical polishing, 71, 78  
 Chemisch-mechanisches Polieren, 71, 78  
 Chemisch-physikalisches Trockenätzen, 57  
 Chromschicht, 42  
 CMOS, 86  
 CMP, 71, 78  
 Common-Centroid-Layout, 288  
 Compare, 134  
 Conic, 108  
 Connectivity-driven layout, 270  
 Constraint, 28  
 Corner rounding, 50  
 Current crowding, 268  
 CVD-Verfahren, 78  
 Czochralski-Verfahren, 40

## D

Damascene-Verfahren, 79  
 Deep trench isolation, 69  
 Defektelektron, 10  
 Density-Regel, 82  
 Density rules, 83  
 Design for Manufacturability, 120  
 Design gap, 23  
 Design rule check, 30, 32, 128  
 Designproduktivität, 23  
 Design-Rule-Checker, 235  
 Detailverdrahter, 216  
 Deterministischer Abbildungsfehler, 52  
 Device, 109  
 Device-Generator, 109  
 DfM, 120  
 Dicing tape, 12  
 Dickschichttechnik, 6  
 Dickschichttransistor, 308  
 Die, 12  
 Differenzpaar, 276  
 Diffusion, 61  
 Diffusion mit erschöpflicher Quelle, 64  
 Diffusion mit unerschöpflicher Quelle, 62  
 Diffusionsbarriere, 80  
 Diffusionslayer, 65  
 Diffusionsofen, 61  
 Diffusionswiderstand, 261  
 Digitale Schaltung, 16  
 Digitaler Entwurfsablauf, 181  
 Digitalschaltung, 28  
 Digitaltechnik, 17  
 Dishing, 121  
 DMOS, 19  
 Donator, 11  
 Donut, 107

Dotierter Widerstand, 261  
 Dotierung, 11, 60  
 Dotierungslayer, 65  
 Drain, 86  
 DRC, 30, 32, 128  
 Dreidimensionaler Entwurfsraum, 155  
 DTI, 69  
 DTI-Stress, 290  
 Dual-Damascene-Verfahren, 80  
 Dummy-Element, 290  
 Dünnschichttechnik, 6  
 Durchbruchfeldstärke, 253  
 Durchbruchspannung, 253  
 Durchkontakt, 14  
 Durchkontaktierung, 14  
 Durchschlagfestigkeit, 253  
 Durchsteckmontage, 5

## E

EDA, 23  
 Electrical rule check, 32  
 Electrical-Rule-Checking, 238  
 Electron-collecting guard ring, 304  
 Electronic Design Automation, 23  
 Electrostatic discharge, 318  
 Elektrische Randbedingung, 28, 173  
 Elektrische Verifikation, 30  
 Elektromigration, 334  
 Elektronenkonzentration, 87  
 Elektronisches Bauelement, 2, 13  
 Elektrostatische Entladung, 318  
 Emitter, 267  
 Enclosure, 48  
 Energieniveau, 9  
 Entflechtung, 32  
 Entwickler, 3, 41  
 Entwicklung, 41  
 Entwurfsablauf, 147  
 Entwurfsautomatisierung, 23  
 Entwurfsleistung, 23  
 Entwurfsmethodische bzw. geometrische  
 Randbedingung, 173  
 Entwurfsmodell, 155  
 Entwurfsproduktivität, 23  
 Entwurfsregel, 48  
 Entwurfsschere, 23  
 Entwurfsstil, 161  
 Epitaxie, 13, 68  
 ERC, 32  
 Erosion, 120  
 ESD, 318  
 ESD-Entwurfsfenster, 320  
 ESD-Ereignis, 318

ESD-Pfad, 319  
 ESD-Schutzdiode, 321  
 ESD-Schutzschaltung, 318  
 Extension, 108  
 Extraktion, 238

**F**

Fab, 38, 154  
 Faltung von Feldeffekttransistoren, 258  
 Fehlerfreiheit eines Layouts, 128, 132  
 Feinverdrahtung, 215  
 Feldeffekttransistor, 85, 256  
 Feldoxid, 55  
 FEOL, 13, 73, 90  
 Fertigungsbeschreibung, 27  
 Fertigungsspezifikation, 27  
 FET, 85  
 Field Programmable Gate-Array, 166  
 Filler structure, 120  
 FinFET, 21  
 Finger, 258  
 Flache Daten, 124  
 Flächenverdrahtung, 214  
 Floorplanning, 205  
 Flux-Kondensator, 266  
 Footprint, 31  
 Footprint-Bibliothek, 144, 221  
 Formale Verifikation, 229  
 Fotolack, 3, 41  
 Fotolithografie, 4, 14  
 Fotomaske, 3  
 Fotoresist, 3, 41  
 Foundry, 154  
 FOX, 55  
 FPGA, 166  
 Fracturing, 127  
 Freiheitsgrad, 177  
 Fringe-Kondensator, 266  
 Front-end-of-line, 13, 73, 90  
 Füllstruktur, 120  
 Funktionale Randbedingung, 28, 173  
 Funktionsbeschreibung, 25  
 Funktions- oder Schaltungsblock, 99

**G**

Gajski-Kuhn-Y-Diagramm, 158  
 Galvanische Trennung, 253  
 Gate, 86  
 Gate-Array-Entwurf, 164  
 Gate-Finger, 258  
 Gate-Oxid, 86  
 GCell, 215

Gehäuse, 136  
 Generation, 10  
 Generator, 169  
 Geometrische Entwurfsregel, 30, 128  
 Geometrische bzw. entwurfsmethodische  
   Randbedingung, 173  
 Geometrische Verifikation, 235  
 Gerber-Dateien, 32  
 Gezeichneter Layer, 107  
 ggNMOS, 325  
 Gitterplatz, 61, 64  
 Globale Routing-Zelle, 215  
 Globalverdrahtung, 215  
 GOX, 86  
 Grabenisolation, 69  
 Green Sheet, 7  
 Grid, 107  
 Ground bounce, 300  
 Grounded gate NMOS-FET, 325  
 Grundbauelement, 99  
 Guard-Ring, 300, 307  
 Gummiband, 31

**H**

Haftvermittler, 5  
 Halbleiter, 9  
 Halbleitertechnologie, 8  
 Haltespannung, 325  
 Hammerhead, 51  
 Hardware-Beschreibungssprache, 194  
 Hauptfeld, 283  
 HDL, 194  
 Heißer Ladungsträger, 312  
 Heißes Elektron, 311  
 Heteroepitaxie, 71  
 Hilfskollektor, 303  
 Hole-providing guard ring, 304  
 Homoepitaxie, 68  
 Hybridtechnologie, 6

**I**

IC, 8, 15  
 IC-Layout, 30  
 Ideales Bauelement, 101  
 ILD, 74  
 ILO, 74  
 IMD, 74  
 Impfkristall, 40  
 Impfling, 40  
 Implantation, 62  
 Induktivitätsbelag, 313  
 Instanz, 100

Integrated circuit, 8  
 Integrierter Schaltkreis, 8, 15  
 Interlayer dielectric, 74  
 Interlevel oxide, 74  
 Intermetal dielectric, 74  
 Intrinsisch, 87  
 Ionenimplantation, 62  
 Ionenquelle, 63  
 IPTAT, 276  
 IR-Drop, 72, 298  
 Isobare, 292  
 Isolator, 10  
 Isotherme, 291

**J**

J1, 252  
 Jog, 51  
 Jumper, 332  
 Junction isolation, 252, 300  
 Justage, 45  
 Justiermarke, 45, 123

**K**

Kanal, 87  
 Kanallänge, 256  
 Kanalweite, 256  
 Kantenverschiebung, 49, 55, 59, 60, 62, 64  
 Kapazitätsbelag, 313  
 Kennbuchstabe, 199  
 Kirchhoffsche Gesetze, 101  
 Klammerdiode, 321  
 Kleinste Strukturgröße, 20  
 Knoten, 98  
 Knotenregel, 101  
 Kollektor, 267  
 Kompaktierung, 217  
 Kondensator, 264  
 Kontakt, 14, 73  
 Kontaktbelichtung, 43  
 Kontaktloch, 14  
 Konzentrationsgefälle, 66  
 Konzentriertes Bauelement, 101  
 Kopfwiderstand, 263  
 Korhonen-Modell, 340  
 Korngröße, 71  
 Kristallzüchtung, 40  
 Kundenspezifischer Entwurf, 162  
 Kupfer, 3, 75

**L**

Lackmaske, 41, 64  
 Ladungsträger, 9

Ladungsträgerdichte, 87  
 Land pattern, 31  
 Latchup, 304  
 Layer, 28, 31, 106  
 Layout, 27  
 Layout post processing, 118  
 Layout versus schematic check, 30, 238  
 Layoutblock, 109  
 Layoutebene, 28  
 Layouteditor, 28  
 Layoutentwurf, 1, 27, 151  
 Layoutfehler, 129  
 Layoutgenerator, 30, 271  
 Layouthierarchie, 109  
 Layout-Postprozess, 118, 242  
 Layoutsynthese, 29  
 Layoutverifikation, 153  
 Layout-versus-schematic-Prüfung, 238  
 LDD, 94  
 Leadframe, 136  
 Leading-Edge-Technologie, 21  
 Leaker, 333  
 Leiterbahn, 3  
 Leiterbahnebene, 73  
 Leiterplatte, 3, 220  
 Leiterplattenentwurf, 31  
 Leiterplatten-Layout, 31  
 Leiterplattentechnologie, 3  
 Leitfähigkeit, 6, 9  
 Leitkleber, 8  
 Leitungsband, 9  
 Lightly doped drain, 94  
 Line end shortening, 51  
 Liner layer, 79  
 Loch, 10  
 Löcherkonzentration, 87  
 Löcherleitung, 10  
 LOCOS, 58  
 Logikentwurf, 150  
 Logischer Layer, 125  
 Lokale Oxidation, 58  
 Lotpastenmaske, 31  
 Lötstopmmaske, 31  
 Low Temperature Cofired Ceramics, 7  
 Low-k material, 74  
 LTCC-Technik, 7  
 LVS, 30, 238

**M**

Majorität, 11  
 Majoritätsträger, 11  
 Makrozelle, 29, 164  
 Makrozellen-Bibliothek, 143  
 Manufacturing grid, 107

Maschenregel, 101  
 Maske, 3, 42  
 Maskierung, 38  
 Masse, 252, 298  
 Massenseparator, 63  
 Massenwirkungsgesetz, 86  
 Matching, 274  
 Matching-Gruppe, 277  
 Meet-in-the-middle-Entwurfstil, 167  
 Mehrfachkontakt, 133  
 Mehrlagenplatine, 5  
 Merge, 114  
 Metal liner, 79  
 Metall, 10  
 Metallabdeckung, 48, 77  
 Metall-Halbleiter-Kontakt, 84  
 Migration, 334  
 Migrationsart, 334  
 Mikroelektronik, 15  
 Miller-Operationsverstärker, 104  
 MIM-Cap, 265  
 Mindestabstand, 53  
 Mindestbreite, 53  
 Miniaturisierung, 20  
 Minorität, 11  
 Minoritätsträger, 11  
 Mischprozess, 19  
 Mixed-Signal, 19  
 Mixed-Signal-Entwurfsablauf, 183  
 Modellbasierte OPC, 51  
 Modell-Bibliothek, 145  
 Modulgenerator, 271  
 Moldmasse, 137  
 Monokristall, 39  
 Montagerregel, 136  
 Moore's Law, 23  
 Mooresches Gesetz, 21  
 MOS-FET, 256  
 Multi-Emitter-Layout, 268  
 Multilayer-Leiterplatte, 5  
 Multi-Power-Domains, 328

## N

Nachdiffusion, 65  
 Nanoelektronik, 45  
 Nassätzen, 55  
 Nasse Oxidation, 54  
 n-dotiert, 11  
 Negativlack, 42  
 Netz, 26, 98  
 Netzliste, 26, 102  
 Netzorientiert, 102  
 Nitrid, 58  
 n-leitend, 11

NMOS-Cap, 265  
 NMOS-FET, 85  
 NMOS-Kondensator, 265  
 Normally off, 88  
 Notch, 113  
 NPN-Transistor, 267

## O

Oberflächenmontage, 5  
 OPC, 51, 243  
 Optical proximity correction, 51, 243  
 Optimierungsziel, 27, 171  
 Overlay-Fehler, 47  
 Oversizing, 115  
 Oxidschicht, 74  
 Oxidstufe, 57

## P

Package, 136  
 Pad, 8, 31, 99, 136  
 Padded path, 108  
 Padoxid, 58  
 Pad-Zelle, 322  
 Padzellen-Bibliothek, 142  
 Parameterized cell, 110, 270  
 Parametrisierte Zelle, 110  
 Parasit, 298  
 Parasitäre Effekte, 298  
 Parasitäre Extraktion, 141  
 Parasitäreffekt, 13  
 Partitionierung, 205  
 Passivierung, 95  
 PCB, 3  
 PCB-Design, 31  
 PCB-Entwurf, 31  
 PCB-Layout, 31  
 PCell, 110, 140, 270  
 PDK, 139, 235  
 p-dotiert, 11  
 Periodensystem, 11  
 PEX, 141  
 Pfad, 108  
 Physikalischer Entwurf, 1, 27  
 Physikalischer Layer, 107  
 Pick & Place, 270  
 Pick-and-Place-Datei, 32  
 Pin, 98  
 Pinning, 138, 328  
 Pinorientiert, 102  
 PIP-Cap, 265  
 Planarisierung, 78  
 Plasma induced damage, 330  
 Platine, 3

Platzierung, 29, 31, 210  
 p-leitend, 11  
 PMOS-Cap, 265  
 PMOS-FET, 86  
 PMOS-Kondensator, 265  
 PNP-Transistor, 268  
 p-n-Waage, 87  
 Poly, 71  
 Poly-Channel-Stop-Ring, 311  
 Polygon pushing, 110, 270  
 Polykristallines Silizium, 71  
 Polysilizium, 71  
 Polywiderstand, 262  
 Port, 98  
 Positioniertisch, 44  
 Positivlack, 42  
 Potential, 98  
 Power domain, 328  
 Prepreg, 5  
 Pre-sizing, 127  
 Printed circuit board, 3  
 Process design kit, 139, 235  
 Projektionsbelichtung, 43  
 Proximity-Belichtung, 43  
 Prozessknoten, 20  
 Prozessmonitor, 122

**Q**

Quarzglas, 42

**R**

Randbedingung, 27, 172  
 Randeffect, 279  
 Raumladungszone, 254  
 RC-Glied, 314  
 Reactive ion etching, 57  
 Reaktives Ionenätzen, 57  
 Rechteck, 108  
 Redesign, 134  
 Reflow-Lötung, 8  
 Reflow-Technik, 78  
 Regelbasierte OPC, 51  
 Register-Transfer-Ebene, 194  
 Rekombination, 10  
 Relative Genauigkeit, 274  
 Reservoir, 341  
 Resolution enhancement techniques, 127, 243  
 RET, 127, 243  
 Retikel, 44  
 RIE, 57  
 Ritzgraben, 46, 122  
 RLZ, 254

Robust, 132  
 Robuste Entwurfsregel, 129  
 Robustes Layout, 129  
 Rohwafer, 13  
 Routing, 29, 73  
 Routing-Layer, 5, 73  
 RTL, 194

**S**

Sägegraben, 46, 122  
 Schale, 9  
 Schaltplan, 26, 102  
 Schaltplaneditor, 27  
 Schaltplaneingabe, 198  
 Schaltungs- oder Funktionsblock, 26  
 Schaltungsentwurf, 26, 151  
 Schaltungsstrukturbeschreibung, 98  
 Schematic-driven layout, 270  
 Schichtwiderstand, 248  
 Schottky-Diode, 84  
 Schwellspannung, 87, 267  
 Scribe line monitor, 123  
 Scribe seal, 120  
 Seal ring, 120  
 Seebeck-Koeffizient, 294  
 Seebeck-Spannung, 294  
 Selbstjustage, 93  
 Serife, 51  
 Shallow trench isolation, 69  
 Shape, 106  
 Shared diffusion, 259  
 Shrinken, 21  
 Siebdruckverfahren, 6  
 Silicon on insulator, 71, 251  
 Silizium, 10  
 Simulation, 231  
 Single-Well-Prozess, 89  
 Sinkler, 251, 268  
 Slotting, 121  
 Smart Power, 19  
 SMT, 5  
 Snap-Back-Charakteristik, 325  
 SOC, 19  
 SOG, 78  
 SOI, 71, 251  
 Source, 86  
 Spacer, 93  
 Spannungsabfall, 72  
 Spannungsfestigkeit, 19, 253  
 Spannungsteiler, 276  
 Sperrschichtisolierung, 252  
 Spezifikation, 25  
 Spin-On-Gläser, 78

Split, 114  
 Splitting, 279  
 Squares, 249  
 STA, 233  
 Stacked via, 76, 82  
 Standardisierter (Semi-custom)  
     Entwurfstil, 161  
 Standardisierung, 17  
 Standardzellen-Bibliothek, 141  
 Standardzellen-Entwurf, 162  
 Statische Timing-Analyse, 233  
 Step-and-Repeat- Technik, 44  
 Sternverdrahtung, 252  
 STI, 69  
 Stimuli, 231  
 STI-Stress, 290  
 Stochastische Kantenverschiebung, 278  
 Stochastischer Abbildungsfehler, 53  
 Stressmigration, 337  
 Stretch, 113  
 Streufeld, 283  
 Streuoxid, 64  
 Stromdichte, 340  
 Stromlaufplan, 102  
 Stromlose Masse, 301  
 Stromspiegel, 276  
 Stromverstärkung, 268  
 Strukturbeschreibung, 26, 98  
 Strukturierung, 38  
 Subcircuit, 99  
 Substratkern, 3  
 Substratkontakt, 252  
 Substrat-PNP, 269  
 Surface-mount technology, 5  
 Symbol, 199  
 Symbol-Bibliothek, 27, 143  
 Symbolische Entwurfseingabe, 198  
 Symbolische Kompaktierung, 217  
 Symbolischer Layoutentwurf, 217  
 Symmetrie, 273  
 Syntheseschritt, 169  
 System on Chip, 19  
 Systemspezifikation, 149

**T**

Taktrate, 17  
 Tank, 251  
 Technologiedaten, 27  
 Technologieknoten, 20  
 Technologien, 1  
 Technologievorhalt, 49, 127  
 Technologische Randbedingung, 27, 128, 172  
 Temperaturgradient, 291

Tempern, 64  
 Testmuster, 123  
 Teststruktur, 122  
 Thermische Leiterbahn, 344  
 Thermische Oxidation, 54  
 Thermisches TSV, 345  
 Thermisches Via, 344  
 Thermoelektrischer  
     Effekt, 293  
 Thermomigration, 336  
 Threshold voltage, 87  
 Threshold-Adjust-Implantation, 90  
 Through-hole technology, 5  
 THT, 5  
 Tiegelfreies Zonenziehen, 40  
 Timing-Verifikation, 233  
 Tool, 107  
 Top-down-Entwurfstil, 167  
 Topzelle, 99  
 Trägersubstrat, 3  
 Trench isolation, 69  
 Triboelektrischer Effekt, 318  
 Triggerspannung, 325  
 Trimmen, 6  
 Triple-Well-Prozess, 90  
 Trockenätzen, 57  
 Trockene Oxidation, 54  
 Tub, 251  
 Twin-Well-Prozess, 90

**U**

Überhangregel, 53  
 Überlappingsregel, 53  
 Übersprechen, 74, 316  
 Umdotierung, 67  
 Umschließungsregel, 53  
 Undersizing, 115  
 Unipolarer Transistor, 86  
 Unterätzung, 55

**V**

Valenzband, 9  
 Valenzelektron, 9  
 Verarmungszone, 254  
 Verdrahtung, 29, 31, 73, 213  
 Verdrahtungsebene, 5, 73  
 Vergrabenes Dotiergebiet, 68  
 Verhaltensentwurf, 150  
 Verifikation, 225  
 Verilog, 194  
 Verpackung, 154  
 VHDL, 194

Via, 5, 14, 73  
Via array, 133  
Via Doubling, 84  
Via-Stack, 82  
Vogelschnabel, 58  
Vogelschnabeleffekt, 258

**W**

Waagenmodell, 87  
Wafer, 12  
Wafer-Durchmesser, 40  
Waferfab, 38  
Waferstepper, 44  
Wanne, 89, 250  
Well proximity effect, 290  
Widerstand, 261

Widerstandsbelag, 313  
Widerstandskopf, 263  
Wolfram-Plug, 78  
Working grid, 107  
WPE, 290

**Y**

Y-Diagramm, 158

**Z**

Zapping-Modus, 322  
Zelle, 28, 109  
Zonenschmelzen, 40  
Züchten, 12  
Zuverlässigkeit, 15