

Inhaltsverzeichnis

1	Einführung	1
1.1	Technologien der Elektronik-Fertigung	2
1.1.1	Leiterplattentechnologie	3
1.1.2	Hybridtechnologie	6
1.1.3	Halbleitertechnologie	8
1.2	Integrierte Schaltungen	15
1.2.1	Bedeutung und Merkmale	15
1.2.2	Analoge, digitale und Mixed-Signal-Schaltungen	16
1.2.3	Moore'sches Gesetz und Entwurfsscheren	20
1.3	Layoutentwurf	25
1.3.1	Entwurfsablauf einer elektronischen Schaltung	25
1.3.2	Layoutentwurf von integrierten Schaltungen	28
1.3.3	Layoutentwurf von Leiterplatten	31
1.4	Motivation und Aufbau dieses Buches	33
	Literatur	35
2	Halbleitertechnologie: Vom Silizium zum integrierten Schaltkreis ...	37
2.1	Grundprinzip der IC-Fertigung	37
2.2	Grundmaterial Silizium	39
2.3	Fotolithografie	41
2.3.1	Grundprinzip	41
2.3.2	Fotolack	42
2.3.3	Fotomasken und Belichtung	42
2.3.4	Justage und Justiermarken	45
2.3.5	Betrachtungen hinsichtlich Layoutentwurf	46
2.4	Abbildungsfehler	47
2.4.1	Overlay-Fehler	47
2.4.2	Kantenverschiebungen	49
2.4.3	Beugungseffekte	50
2.4.4	Betrachtungen hinsichtlich Layoutentwurf	52

2.5	Auftragen und Strukturieren von Oxidschichten	53
2.5.1	Thermische Oxidation	54
2.5.2	Oxidation durch Abscheidung	55
2.5.3	Strukturierung von Oxidschichten durch Ätzen	55
2.5.4	Lokale Oxidation	58
2.5.5	Betrachtungen hinsichtlich Layoutentwurf	59
2.6	Dotierung	60
2.6.1	Grundprinzip	60
2.6.2	Diffusion	61
2.6.3	Ionenimplantation	62
2.6.4	Betrachtungen hinsichtlich Layoutentwurf	65
2.7	Aufwachsen und Strukturieren von Siliziumschichten	67
2.7.1	Homoepitaxie	68
2.7.2	Heteroepitaxie und Polysilizium	71
2.7.3	Betrachtungen hinsichtlich Layoutentwurf	72
2.8	Metallisierung	73
2.8.1	Grundprinzip	73
2.8.2	Metallisierungsstrukturen ohne Planarisierung	76
2.8.3	Metallisierungsstrukturen mit Planarisierung	78
2.8.4	Betrachtungen hinsichtlich Layoutentwurf	82
2.9	Funktionsprinzip des Feldeffekttransistors	85
2.10	CMOS-Standardprozess	88
2.10.1	Prozess-Optionen	89
2.10.2	FEOL: Bauelemente herstellen	90
2.10.3	BEOL: Bauelemente elektrisch verbinden	95
	Literatur	95
3	Brücken zur Technologie: Schnittstellen, Entwurfsregeln und Bibliotheken	97
3.1	Schaltungsdaten: Schaltpläne und Netzlisten	98
3.1.1	Strukturbeschreibung einer Schaltung	98
3.1.2	Idealisierungen in einer Schaltungsstrukturbeschreibung	101
3.1.3	Darstellungsformen einer Schaltungsstruktur: Netzliste und Schaltplan	102
3.2	Layoutdaten: Layer und Polygone	106
3.2.1	Struktur der Layoutdaten	106
3.2.2	Lesen eines Layouts	110
3.2.3	Grafik-Operationen	113
3.3	Maskendaten: Layout-Postprozess	118
3.3.1	Übersicht	118
3.3.2	Chip Finishing	119
3.3.3	Retikel-Layout	122
3.3.4	Layout-to-Mask Preparation	123

3.4	Geometrische Entwurfsregeln	128
3.4.1	Technologische Randbedingungen	128
3.4.2	Elementare geometrische Entwurfsregeln	129
3.4.3	Programmierte geometrische Entwurfsregeln	134
3.4.4	Montageregeln	136
3.5	Bibliotheken	138
3.5.1	Process Design Kits und Bauelementbibliotheken	139
3.5.2	Zellbibliotheken	141
3.5.3	Bibliotheken für den Leiterplattenentwurf	143
	Literatur	145
4	Layoutentwurf im Überblick: Modelle, Stile, Aufgaben und Abläufe	147
4.1	Entwurfsablauf	147
4.2	Entwurfsmodelle	155
4.2.1	Dreidimensionaler Entwurfsraum	155
4.2.2	Das Gajski-Kuhn-Y-Diagramm	158
4.3	Entwurfsstile	161
4.3.1	Kundenspezifischer und standardisierter Entwurfsstil	161
4.3.2	Top-down-, Bottom-up- und Meet-in-the-middle-Entwurfs- stile	167
4.4	Entwurfsaufgaben und -werkzeuge	168
4.4.1	Erzeugen: Synthese	169
4.4.2	Prüfen: Analyse	170
4.4.3	Beseitigung von Mängeln: Optimierung	170
4.5	Optimierungsziele und Randbedingungen beim Layoutentwurf	171
4.5.1	Optimierungsziele	171
4.5.2	Randbedingungen	172
4.5.3	Optimierung beim Layoutentwurf	173
4.6	Analoge und digitale Entwurfsabläufe	174
4.6.1	Die unterschiedlichen Welten des analogen und digitalen Entwurfs	174
4.6.2	Analoger Entwurfsablauf	180
4.6.3	Digitaler Entwurfsablauf	181
4.6.4	Mixed-Signal-Entwurfsablauf	183
4.7	Visionen für die analoge Entwurfsautomatisierung	185
4.7.1	„Kontinuierlicher“ Layoutentwurf	185
4.7.2	„Bottom-up-meets-top-down“-Layoutentwurf	188
	Literatur	190
5	Layoutentwurf in Schritten: Von der Netzliste bis zum Layout-Postprozess	193
5.1	Generierung einer Netzliste mit Hardware-Beschreibungssprachen	194
5.1.1	Überblick und Geschichte	194
5.1.2	Elemente und Beispiel	195
5.1.3	Entwurfsablauf	196

5.2	Generierung einer Netzliste mittels Schaltplan	198
5.2.1	Übersicht	198
5.2.2	Elemente und Beispiele	199
5.2.3	Netzlistenerstellung	202
5.3	Die wichtigsten Schritte beim Layoutentwurf	203
5.3.1	Partitionierung und Floorplanning	205
5.3.2	Platzierung	210
5.3.3	Verdrahtung	213
5.3.4	Layoutentwurf mittels symbolischer Kompaktierung	217
5.3.5	Layoutentwurf mit Standardzellen.	218
5.3.6	Layoutentwurf von Leiterplatten	220
5.4	Verifikation.	225
5.4.1	Grundlagen.	227
5.4.2	Formale Verifikation.	229
5.4.3	Funktionale Verifikation: Simulation.	231
5.4.4	Timing-Verifikation	233
5.4.5	Geometrische Verifikation: DRC, ERC	235
5.4.6	Extraktion und LVS	238
5.5	Layout-Postprozess	241
	Literatur.	244
6	Besonderheiten des Layoutentwurfs analoger integrierter Schaltungen	247
6.1	Schichtwiderstand: Rechnen mit Squares	248
6.2	Wannen.	250
6.2.1	Realisierungsformen	251
6.2.2	Spannungsfestigkeit.	253
6.2.3	Spannungsabhängige Abstandsregeln	255
6.3	Bauelemente: Aufbau, Anschluss und Dimensionierung.	256
6.3.1	Feldeffektransistoren (MOS-FETs)	256
6.3.2	Widerstände	261
6.3.3	Kondensatoren	264
6.3.4	Bipolare Transistoren.	266
6.4	Bauelementgeneratoren: Von Parametern zu Layouts	270
6.4.1	Einführende Übersicht	270
6.4.2	Beispiel	271
6.5	Die Bedeutung von Symmetrie	273
6.5.1	Absolute und relative Genauigkeit – ein entscheidender Unterschied	273
6.5.2	Symmetrie als schaltungstechnisches Grundprinzip	275
6.6	Matching-Konzepte für den analogen Layoutentwurf.	277
6.6.1	Ursachen für Parameterabweichungen	277
6.6.2	Matching-Konzepte für bauelementinterne Randeffekte.	279
6.6.3	Matching-Konzepte für unbekannte Gradienten	287
6.6.4	Matching-Konzepte für bauelementexterne Randeffekte	289

6.6.5	Matching-Konzepte für bekannte Gradienten	291
6.6.6	Matching-Konzepte für orientierungsabhängige Effekte.	293
6.6.7	Matching-Konzepte im Überblick	295
	Literatur.	296
7	Layoutmaßnahmen zur Verbesserung der Zuverlässigkeit	297
7.1	Parasitäre Effekte im Silizium	297
7.1.1	Modulation des Substratpotentials.	298
7.1.2	Injektion von Minoritätsträgern.	301
7.1.3	Latchup	304
7.1.4	Durchbruchspannung (Sperrfähigkeit) von p-n-Übergängen	307
7.2	Oberflächeneffekte.	307
7.2.1	Parasitäre Kanaleffekte	308
7.2.2	Injektion heißer Ladungsträger	311
7.3	Parasitäre Effekte in der Metallisierung.	313
7.3.1	Leistungsverluste.	313
7.3.2	Signalverzerrungen	314
7.3.3	Übersprechen	316
7.4	Schadensmechanismen durch Überspannungen	317
7.4.1	Elektrostatische Entladung (ESD)	317
7.4.2	Antenneneffekt.	329
7.5	Migrationseffekte in der Metallisierung	334
7.5.1	Elektromigration	334
7.5.2	Thermomigration	336
7.5.3	Stressmigration	337
7.5.4	Abschwächung der Elektromigration	340
7.5.5	Abschwächung der Thermo- und Stressmigration.	344
	Literatur.	345
	Stichwortverzeichnis.	349