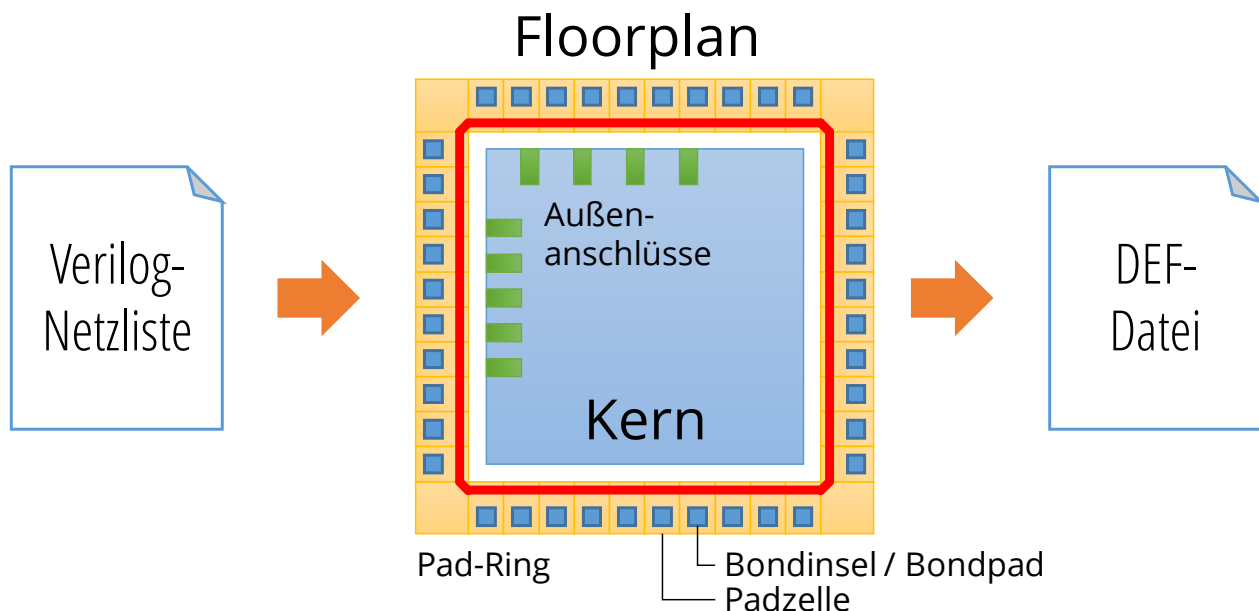


Pad-Ring-Erzeugung beim Floorplanning integrierter Schaltkreise

Der Layoutentwurf integrierter Schaltungen (ICs) überführt eine Netzliste in geometrische Maskendaten, die als Grundlage für die spätere Herstellung in einer Halbleiterfabrik dienen. Auf dem Weg zum Layout erfolgen zunächst eine (optionale) Partitionierung der Schaltung sowie das Floorplanning. Dabei findet eine Abschätzung der erforderlichen Chipgröße statt. Außerdem werden in diesem Schritt normalerweise die Positionen und Abmessungen aller Makrozellen und Partitionen festgelegt.

Als Teil des am Institut entwickelten Softwarepakets für den Entwurf digitaler integrierter Schaltungen ist in einer früheren Arbeit ein einfaches Floorplanning-Werkzeug entstanden. Dieses in Python geschriebene Tool liest eine Verilog-Netzliste ein und erzeugt daraus einen Floorplan in Form einer DEF-Datei. Derzeit werden dabei Positionen der Außenanschlüsse festgelegt und die Größe des Floorplans anhand der Netzliste abgeschätzt.

In dieser Arbeit soll das Floorplanning-Werkzeug erweitert werden, so dass auch Padzellen automatisch ringförmig um den Kern herum platziert werden (siehe Abbildung). Die Padzellen sind Bestandteil des Process Design Kits (PDK) und werden vom Halbleiterhersteller (Fab/Foundry) zur Verfügung gestellt. Beim späteren Verpacken des ICs in ein Gehäuse kann z. B. durch Drahtbonden die elektrische Verbindung zwischen den Bondinseln der Padzellen und den Anschlüssen des Gehäuses realisiert werden.



Anzahl möglicher Bearbeiter: 2-3

Betreuer: Dr.-Ing. Andreas Krinke
 Raum BAR II/27
 Tel.: 0351 / 463 34705
andreas.krinke@tu-dresden.de