

AUFGABENSTELLUNG LEITERPLATTENENTWURF FÜR DIE ÜBUNG RECHNERGESTÜTZTER ENTWURF

Vorlesung Rechnergestützter Entwurf • Sommersemester 2026

Impressum:

Fakultät Elektrotechnik und Informationstechnik • Institut für Feinwerktechnik und Elektronik-Design
01062 Dresden (Postadresse) • 01069 Dresden • Mommsenstraße 18 (Besucheradresse)

Aufgabenstellung für die Übung „Rechnergestützter Entwurf“

Begleitend zur Vorlesung „Rechnergestützter Entwurf“ gehalten von
Prof. Dr.-Ing. habil. Jens Lienig im Sommersemester 2026

Im Internet: www.ifte.de/lehre/rechn_entwurf/index.html

Autor:

Dr.-Ing. Frank Reifegerste • Raum BAR II/32 • Tel. 36296

Dokumentversion: 1.0

Änderungsdatum: 24.3.2026

Alle Rechte an der Verwendung des Dokuments, an dessen Bestandteilen und Inhalten vorbehalten.

AUFGABENSTELLUNG ÜBUNG RECHNERGESTÜTZTER ENTWURF

Ziel der Übung zur Vorlesung „Rechnergestützter Entwurf“ ist es, beim Verdrahtungsträger-Entwurf auftretende Teilaufgaben zu trainieren und so eine Übersicht über die dabei ablaufenden Schritte zu erhalten. Anhand eines Leiterplattenentwurfsprogrammes sollen eigene Erfahrungen auf dem Gebiet des Layoutentwurfs gesammelt werden. Dabei sind die elektrischen, mechanischen, wirtschaftlichen und technologischen Randbedingungen zu beachten.

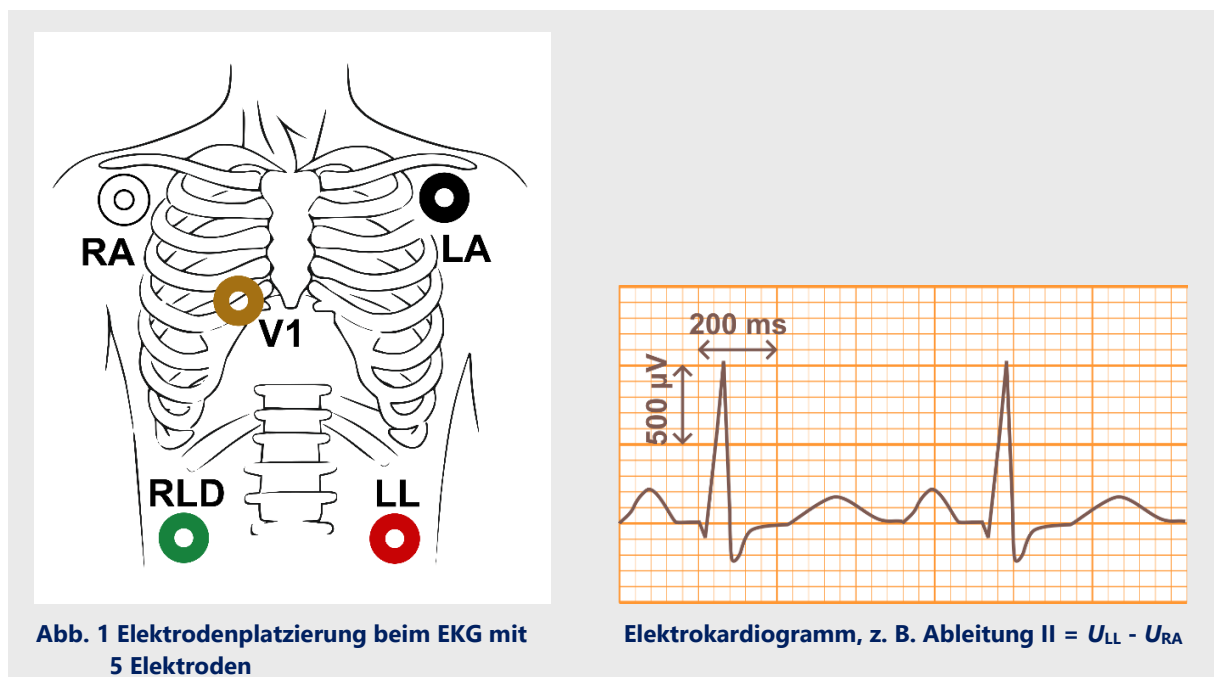
LEITERPLATTENENTWURF EINER MIT SMD-BAUELEMENTEN BESTÜCKTEN PLATINE

Motivation zur Aufgabenstellung

Die Elektrokardiographie ist ein Verfahren zur Messung der elektrischen Aktivität des Herzens. Das dabei aufgezeichnete Signal wird als Elektrokardiogramm (EKG) bezeichnet. Gemessen werden Spannungsdifferenzen im Mikro- bis Millivoltbereich, die durch Depolarisation und Repolarisation des Herzmuskels entstehen. EKG-Messungen werden in der medizinischen Diagnostik zur Erkennung von Herzrhythmusstörungen, Durchblutungs- und Leitungsstörungen sowie zur Überwachung der Herzfunktion eingesetzt. Die Signale werden über auf der Hautoberfläche angebrachte Elektroden erfasst, welche die durch das Körpergewebe zur Haut geleiteten bioelektrischen Potentiale aufnehmen. Im diesjährigen Praktikum soll zu der vorliegenden Schaltung eines EKG-Frontends eine Leiterplatte entworfen werden.

Funktionsweise

Bei einem 5-Elektroden-Setup werden fünf Elektroden am Oberkörper angebracht (Abb. 1). Vier dieser Elektroden dienen der Messung der Herzsignale. Zwischen ihnen werden Spannungsdifferenzen erfasst, aus denen sich unterschiedliche elektrische Blickrichtungen auf die Herzaktivität ergeben. Die fünfte Elektrode wird aktiv angesteuert und stabilisiert das gemeinsame Körperpotential, wodurch Störungen reduziert werden. Die von den Elektroden aufgenommenen Signale werden anschließend in einem Analog-Frontend verstärkt, gefiltert und digitalisiert, sodass sie für weitere Verarbeitung und Analyse zur Verfügung stehen.



Die Signalaufbereitung erfolgt mit dem integrierten Analog-Frontend-IC ADAS1000. Dabei werden die differenziellen Signale der Messelektroden zunächst mit rauscharmen Verstärkern erfasst, anschließend vorgefiltert und schließlich durch integrierte Analog-Digital-Wandler digitalisiert. Das Analog-Frontend bildet damit die Schnittstelle zwischen den Elektroden am Patienten und der nachfolgenden digitalen Signalverarbeitung.

Ein zentrales Problem der EKG-Messung besteht darin, dass die Signale gegenüber dem Messsystem elektrisch nicht fest referenziert („floating“) sind und gleichzeitig sehr kleine Spannungen gegenüber deutlich größeren Störsignalen, etwa durch Netzbrummen oder Bewegung, erfasst werden müssen. Zur Stabilisierung des gemeinsamen Körperpotentials wird das Right-Leg-Drive-Verfahren eingesetzt, bei dem die entsprechende RLD-Elektrode aktiv angesteuert wird, um Gleichtaktstörungen zu reduzieren. Da die Messung direkt am menschlichen Körper erfolgt, gelten strenge Sicherheitsanforderungen. Sowohl die Energieversorgung als auch die Datenübertragung müssen eine zweifache Patientenschutz-Isolation (Means of Patient Protection, MOPP) gewährleisten, um auch im Fehlerfall gefährliche Ableitströme zu verhindern.

Überblick über die Schaltung

Gegeben ist die Schaltung eines EKG-Gerätes nach Anhang 2. Das Funktionsschaltbild in Abb. 2 verdeutlicht deren Funktion.

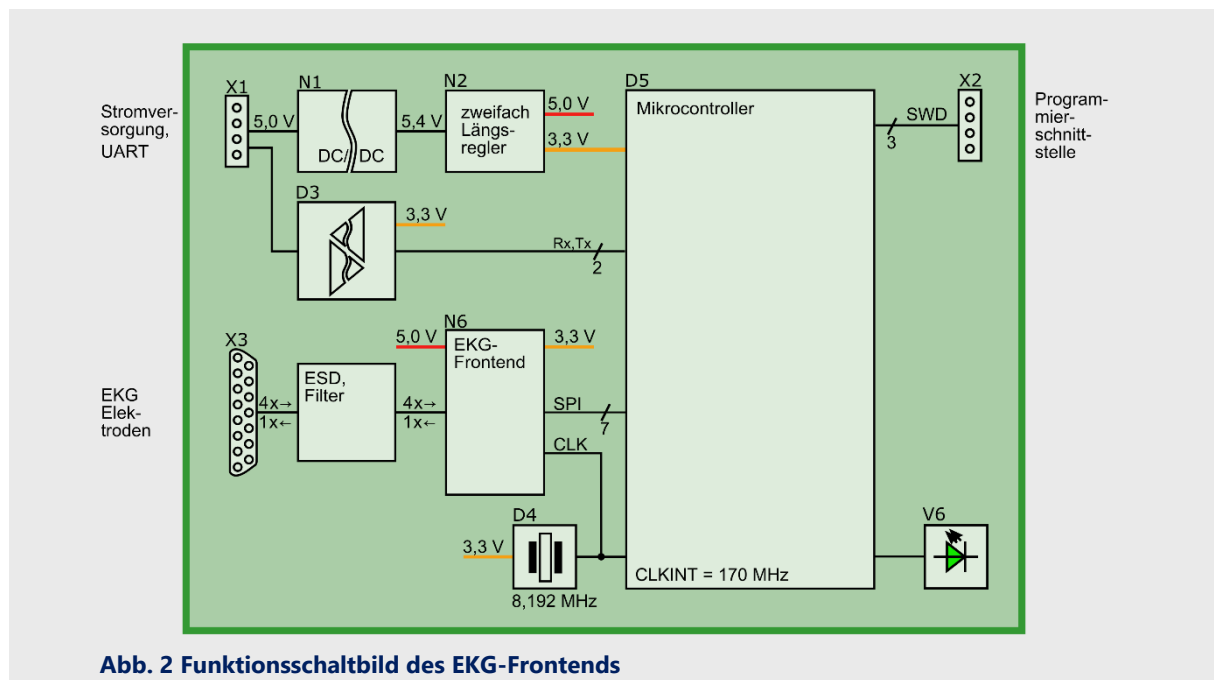


Abb. 2 Funktionsschaltbild des EKG-Frontends

Die bioelektrischen Signale werden der Schaltung über den Steckverbinder X3 zugeführt. Eine zusätzliche Elektrode wird als RLD-Elektrode (Right-Leg-Drive) verwendet. Unzulässige Eingangsspannungen werden durch die ESD-Schutzdioden V1 bis V5 begrenzt. Die Signale gelangen dann über die RC-Tiefpässe (R1 bis R4 und C1 bis C4) zum Analog-Frontend-IC N6. In diesem erfolgen die analoge Signalvorverarbeitung, die Filterung, die Digitalisierung sowie die Berechnung der EKG-Ableitungen. Über die SPI-Schnittstelle werden die Daten anschließend an den Mikrocontroller D5 übertragen. Dieser übernimmt die weitere Datenaufbereitung und Formatierung. Die Programmierung des Mikrocontrollers ist über die SWD-Schnittstelle X2 möglich, ist jedoch nicht Bestandteil des Praktikums. Da N6 einen spezifischen Takt von 8,192 MHz benötigt, wird dieser durch den Quarzoszillator D4 bereitgestellt. Derselbe Takt dient auch als Eingangstakt für den Mikrocontroller. In diesem wird durch Taktvervielfachung ein Systemtakt von etwa 170 MHz erzeugt.

Eine besondere Herausforderung medizintechnischer Geräte sind die hohen Anforderungen an den Patientenschutz. Unzulässig ist, dass gefährliche Ableit- oder Fehlerströme eines externen Gerätes zum Patienten gelangen. Daher müssen sowohl die Energieversorgung als auch die Datenübertragung galvanisch getrennt, also ohne gemeinsame Bezugsmasse, erfolgen. In der vorliegenden Schaltung wird dies jeweils durch eine integrierte Lösung realisiert. Der Digitalisolator D3 überträgt die seriellen Ergebnisdaten galvanisch getrennt zur Schnittstelle X1. Von dieser Schnittstelle aus wird die Schaltung auch mit Energie versorgt. Die erforderliche galvanische Trennung der Energieversorgung übernimmt der DC/DC-Wandler N1. Er erzeugt aus der 5-V-Eingangsspannung eine isolierte Ausgangsspannung von 5,4 V. Mit Hilfe des Zweifach-Längsreglers N2 werden daraus die beiden Versorgungsspannungen der Schaltung von 5 V und 3,3 V erzeugt.

Ziel

Ziel des Leiterplattenentwurfs ist es, die vorgegebene Schaltung in ein funktionsfähiges und herstellbares Layout umzusetzen. Die maximale Umgebungstemperatur (Lufttemperatur) beträgt 50 °C. Weiterhin sind EMV-Aspekte, thermische Aspekte (Verlustleistungen, Leiterbahnbreiten), mechanische Randbedingungen (Befestigungsmöglichkeiten, Lage der Bauelemente und Steckverbinder) und technologische Parameter (Leiterbahnbreiten, Via-Durchmesser, Mindestabstände) und die Vor- und Nachteile unterschiedlicher Konstruktionsvarianten (Layeranzahl, Kupferdicke, Preis) zu berücksichtigen. Die Schaltung soll in einem kompakten Gerät eingebaut werden. Daher ist auf eine geringe Leiterplattenfläche zu achten. Für Kostenabschätzungen wird bei diesem Musteraufbau eine Stückzahl von zehn Exemplaren zugrunde gelegt.

ABLAUF DER ÜBUNG

Neben den technischen Aufgaben soll die Projektarbeit trainiert werden. Es wird in Gruppen zu zwei Personen gearbeitet.

Zuerst wird ein Terminplan erstellt. In diesem Terminplan werden die zur Lösung notwendigen Teilaufgaben (z. B. Problem-, Schaltungs-, Anforderungsanalyse, Recherche, Berechnung, Layout, Dokumentation) jeweils mit einem Datum, dem abgeschätzten Arbeitsaufwand und dem Bearbeiter eingetragen. Anhand dieses Plans kann bei der Aufgabenbearbeitung der aktuelle Projektstand kontrolliert werden. Für dabei entstehende Fragen stehen Konsultationstermine zur Verfügung.

Im Einzelnen sind folgende Aufgaben zu bearbeiten:

- Schaltungsanalyse, Einarbeiten in die Funktionsweise,
- Recherche der Datenblätter der Bauelemente,
- Recherche eines potentiellen Leiterplattenfertigers, Ermitteln der fertigungstechnischen Vorgaben (Leiterbahnbreiten, Mindestabstände, Viadurchmesser, Ebenenaufbau, Preise) dieses Herstellers,
- Vorüberlegungen zur Platzierung der Bauelemente und zum Leiterplattenaufbau,
- Ergänzen der Schaltsymbol- und Footprintbibliothek, Zeichnen des Schaltplanes, Entwickeln des Layouts, Erzeugen der Ergebnisdaten,
- Anfertigen des Belegs, Diskussion des Ergebnisses.

Termine

Die Termine entnehmen Sie bitte dem Dokument www.ifte.de/lehre/rechn_entwurf/ablauf_SS26_GMM.pdf.

ERGEBNISSE

Alle Lösungswege sind nachvollziehbar zu dokumentieren. Die Dateien müssen zugeordnet werden können. Dazu ist gegebenenfalls eine Beschreibung anzufügen.

Einzureichende Unterlagen

Die Projektdokumentation sollte folgende Unterlagen in ausgedruckter Form umfassen:

- Titelblatt mit Namen der Personen,
- Gliederung der Arbeit,
- Terminplan,
- Dokumentation Leiterplattenentwurf:
 - Dokumentation des Lösungswegs, eigener Überlegungen und Berechnungen,
 - Abbildungen des eigenen Schaltplans, der Layoutebenen, des Bestückungsplans und der mechanischen Maßzeichnung der Leiterplatte (Außenabmessungen, Positionen der Befestigungsbohrungen),

- im Anhang: sonstige bei der Problemlösung verwendete Informationen (kein Ausdruck von IC-Datenblättern),
- Quellenverzeichnis.
- Zusätzlich sind folgende Ergebnisse (Programmversion wie in Übung) abzugeben:
 - Altium Designer Projektdateien des Leiterplattenentwurfs,
 - Ergebnisdateien für die Leiterplattenproduktion (Gerber-Dateien, Bohrdatei).

Bitte legen Sie Ihre Ergebnisse (Projektdateien) als ZIP-Archiv auf den Austauschserver der TU Dresden: www.ifte.de/lehre/rechn_entwurf/uebung/upload-pcb.html .

PRÜFUNG

Zum Zeitpunkt der Prüfung erfolgt die mündliche Verteidigung des Projekts. Diskussionsgrundlage bilden die eingereichten Unterlagen.

Konkret gliedert sich die Prüfung in die Teile:

- Vorstellung der Ergebnisse der Aufgabe in einem fünfminütigen Kurzvortrag,
- Beantwortung von Fragen zum Projekt,
- Prüfungsfragen zur Vorlesung „Rechnergestützter Entwurf“.

Die Abschlussnote setzt sich aus der Bewertung des Belegs und der mündlichen Prüfung zusammen.

GLOSSAR

Footprint	...	alle Strukturen, die für die elektrische Kontaktierung, mechanische Befestigung und Beschriftung eines Bauteils auf einer Leiterplatte erforderlich sind
EKG	...	E lektro k ardiogramm – Messung der elektrischen Herzaktivität
LED	...	L ight E mitting D iode – Leuchtdiode
MOPP	...	M eans o f P atient P rotection – Isolationsbarriere zum Schutz des Patienten
RLD	...	R ight- L eg- D rive (-Verfahren) – Stabilisierungsverfahren beim EKG
Routen	...	Festlegen der Größe und Position von Leiterbahnen
Schematic	...	Schaltplan
SMD	...	S urface M ounted D evice – oberflächenmontiertes Bauelement
SPI	...	S erial P eripheral I nterface – synchrones serielles Bussystem
SWD	...	S erial W ire D ebug – Programmier- und Debugging-Schnittstelle

QUELLEN- UND LITERATURVERZEICHNIS

- [1] Händschke, Jürgen: Leiterplattendesign: Ein Handbuch nicht nur für Praktiker, Verlag Eugen Leuze, 2006.
- [2] Zickert, Gerald: Leiterplatten: Stromlaufplan, Layout und Fertigung – Ein Lehrbuch für Einsteiger, Carl Hanser Verlag München, 2018.

LINKS ZU DEN HERSTELLERN DER VERWENDETEN BAUELEMENTE

Analog Devices	www.analog.com (6.3.2026)
ECS Inc.	www.ecsxtal.com (6.3.2026)
Kycon Inc.	cloud.kycon.com (6.3.2026)
Molex Connectors	www.molex.com (6.3.2026)
Nexperia	www.nexperia.com (6.3.2026)
Panasonic	industry.panasonic.eu (16.3.2026)
Recom Power	recom-power.com (6.3.2026)
Samsung Electro-Mechanics	samsungsem.com (5.3.2026)
ST Microelectronics	www.st.com (6.3.2026)
Texas Instruments	www.ti.com (5.3.2026)
Vishay Intertechnology	www.vishay.com (16.3.2026)

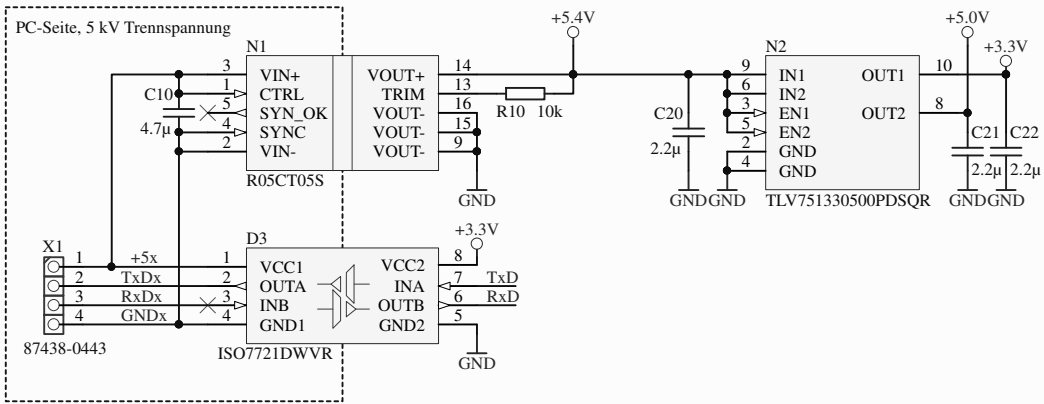
ANHANG

Stückzahl	Bezeichner	Wert bzw. Bezeichnung	Funktion	Hersteller	Schlüsselnummer lt. Hersteller	Bauform / Gehäuse
1	R50	1 k Ω	SMD-Widerstand	Panasonic	ERJ-3EKF1001V	0603
6	R1-R4, R10, R60	10 k Ω	SMD-Widerstand	Panasonic	ERJ-3EKF1002V	0603
1	R5	470 k Ω	SMD-Widerstand	Panasonic	ERJ-3EKF4703V	0603
4	C1-C4	100 pF, 50 V, C0G	SMD-Kondensator	Samsung	CL05C101JB51PNC	0402
16	C40, C51, C53-C55, C61-C64, C66-C69, C71, C72, C76	100 nF, 16 V, X7R	SMD-Kondensator	Samsung	CL05B104KO5NNNC	0402
1	C50	1 μ F, 25 V, X7R	SMD-Kondensator	Samsung	CL10B105KA8NNNC	0603
5	C20-C22, C65, C70	2,2 μ F, 10 V, X7R	SMD-Kondensator	Samsung	CL10B225KP8NNWC	0603
6	C10, C52, C60, C73-C75	4,7 μ F, 25 V, X5R	SMD-Kondensator	Samsung	CL10A475MA8NQNC	0603
1	N1	R05CT05S	DC/DC 2MOPP	Recom Power	R05CT05S	siehe Datenblatt
1	N2	TLV751330500PDSQR	LDO, 2 Kanal	Texas Instruments	TLV751330500PDSQR	WSON 10
1	D3	ISO7721DWVR	Digital Isolator, 2 Kanal	Texas Instruments	ISO7721DWVR	SO8-W
1	D4	ECS-2520MVL-081.92-CN-TR	Quarzoszillator 8,192 MHz	ECS Inc.	ECS-2520MVL-081.92-CN-TR	siehe Datenblatt
1	D5	STM32G474CEU6	Mikrocontroller	ST Microelectronics	STM32G474CEU6	UFQFPN48
1	N6	ADAS1000BSTZ	EKG Analog-Frontend	Analog Devices	ADAS1000BSTZ	LQFP64
5	V1-V5	PESD5V0S1UL	ESD-Protection Diode	Nexperia	PESD5V0S1UL	SOD882
1	V6	VLMTG1300-GS08	SMD-LED	Vishay	VLMTG1300-GS08	0603
2	X1, X2	87438-0443	SMD-Stiftleiste	Molex	87438-0443	siehe Datenblatt
1	X3	K202XHT-E15S-N	SMD-Sub-D-Buchse	Kycon Inc.	K202XHT-E15S-N	siehe Datenblatt

Stückliste für Leiterplattenentwurf

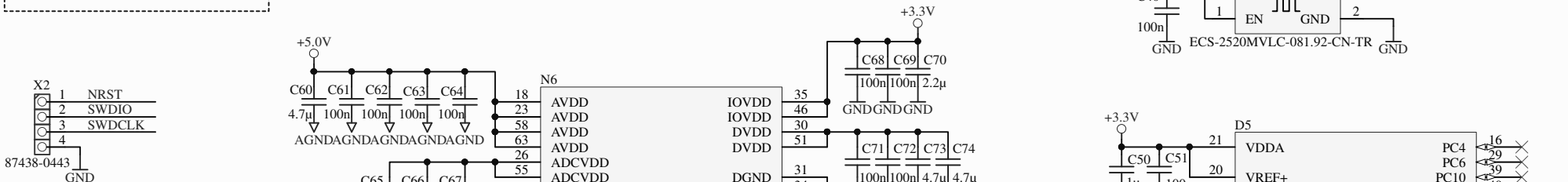
A

Kommunikation, Versorgung



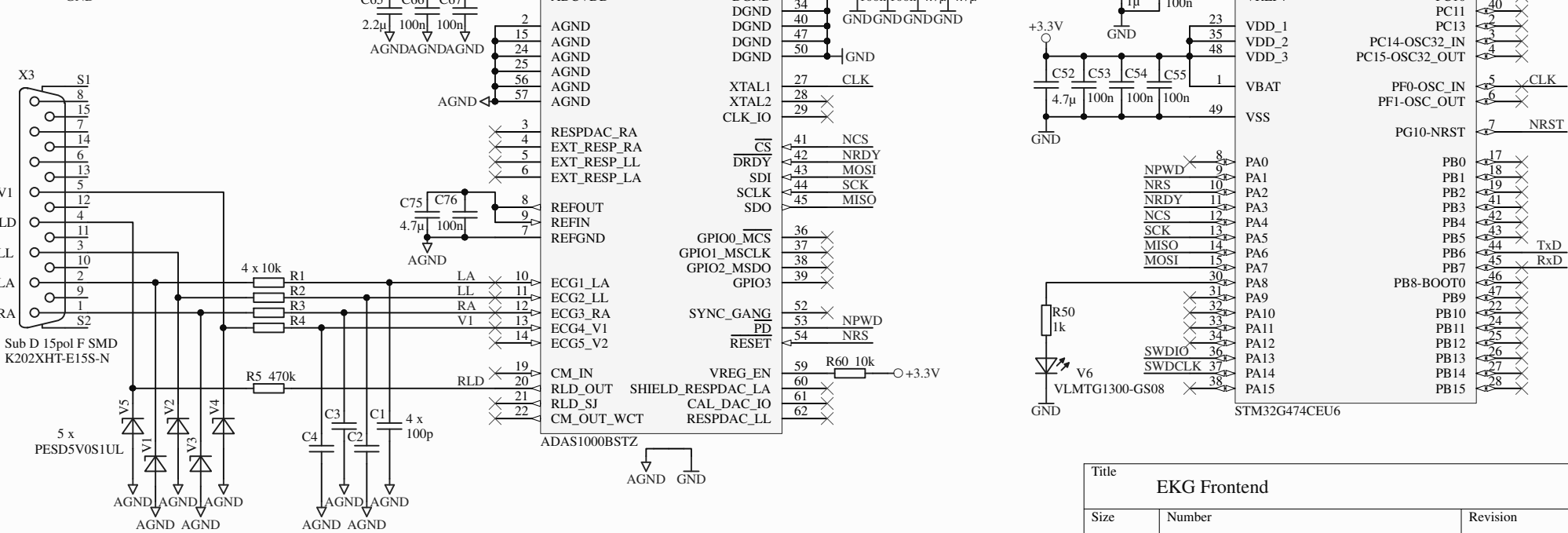
B

Programmierung



C

Elektroden



D

Title		
EKG Frontend		
Size	Number	Revision
A4		1.0
Date:	02.04.2026	Sheet 1 of 1
File:	D:\eigen.dat\..EKG.SchDoc	Drawn By: IFTE

Anmerkung: Die Schaltung dient zu Lehrzwecken und soll nicht am Menschen zur Anwendung kommen.