



AUFGABENSTELLUNG SCHALTKREISENTWURF FÜR DIE ÜBUNG RECHNERGESTÜTZTER ENTWURF

Vorlesung Rechnergestützter Entwurf • Sommersemester 2025

Impressum:

Fakultät Elektrotechnik und Informationstechnik • Institut für Feinwerktechnik und Elektronik-Design
01062 Dresden (Postadresse) • Helmholtzstraße 18, 01069 Dresden (Besucheradresse)

Aufgabenstellung für die Übung „Rechnergestützter Entwurf“

Begleitend zur Vorlesung „Rechnergestützter Entwurf“ gehalten von
Prof. Dr.-Ing. habil. Jens Lienig im Sommersemester 2025

Im Internet: https://www.ifte.de/lehre/rechn_entwurf/

Autor:

Dr.-Ing. Andreas Krinke • Raum BAR II/27 • Tel. (0351) 463 34705 • andreas.krinke@tu-dresden.de

Dokumentversion: 1.0

Änderungsdatum: 14.4.2025

Alle Rechte an der Verwendung des Dokuments, an dessen Bestandteilen und Inhalten vorbehalten.

AUFGABENSTELLUNG ÜBUNG RECHNERGESTÜTZTER ENTWURF SCHALTKREISENTWURF AUF STANDARDZELLEN-BASIS

Ziel der Übung zur Vorlesung „Rechnergestützter Entwurf“ ist es, beim Layoutentwurf auftretende Teilaufgaben zu trainieren und so eine Übersicht über die dabei ablaufenden Schritte zu erhalten. Anhand kommerzieller Entwurfssysteme sollen eigene Erfahrungen auf dem Gebiet des Layoutentwurfs und der -verifikation gesammelt werden. Dabei sind die elektrischen, mechanischen, wirtschaftlichen und technologischen Randbedingungen zu beachten.

Motivation zur Aufgabenstellung

Es soll ein Schaltkreis zur Auswahl einer Zahl im Bereich 0..99 entwickelt werden. Über zwei Taster kann die gespeicherte Zahl vergrößert und verkleinert werden. Die Anzeige erfolgt als Dezimalzahl über zwei 7-Segment-Anzeigen, die im Multiplexverfahren angesteuert werden.

Die Aufgabe besteht darin, einen Schaltkreis in Standardzellentechnologie zu entwickeln, der das beschriebene Verhalten realisiert. Zu diesem Zweck steht das kommerzielle Schaltkreis-Entwurfssystem „Tanner Custom IC Design Flow“ von Siemens im PC-Kabinett BAR II/20A zur Verfügung.

Überblick über die Schaltung

Abbildung 1 zeigt eine Übersicht des Schaltkreises mit allen Ein- und Ausgängen und ihrer Bedeutung.

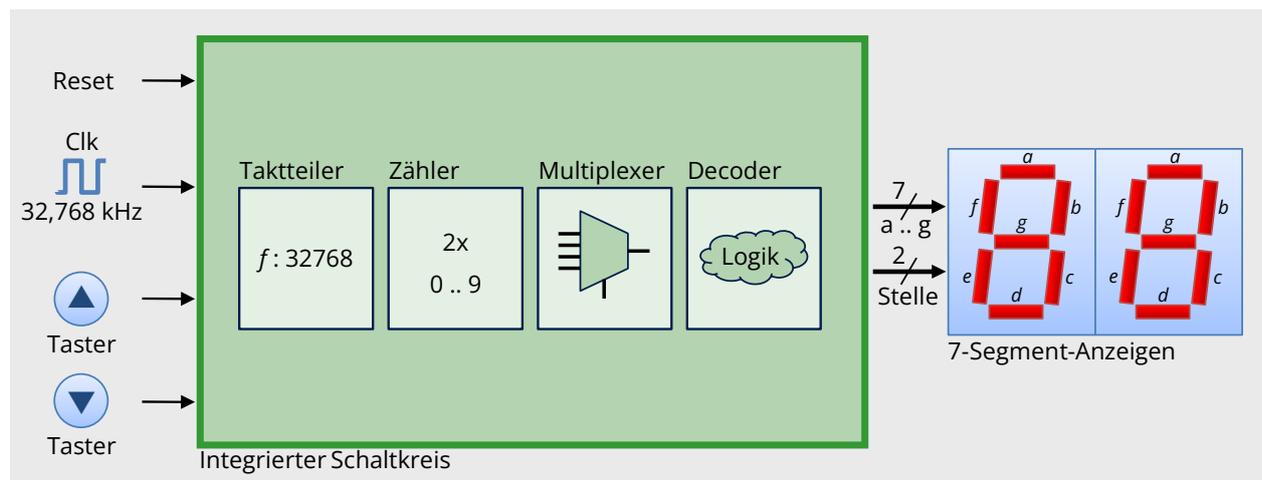


Abbildung 1: Übersicht des zu realisierenden Schaltkreises

Eingänge

- *Reset*: High-aktives Resetsignal zum Zurücksetzen *aller* Flip-Flops über deren Clear-Eingang,
- *Clk*: Taktsignal mit einer Frequenz von 32,768 kHz,
- *Up*: High-aktives Signal eines Tasters zum Aufwärtszählen
- *Down*: High-aktives Signal eines Tasters zum Abwärtszählen

Ausgänge

- *a .. g*: Sieben high-aktive Signale zur Ansteuerung der einzelnen Segmente der aktuell aktiven 7-Segment-Anzeige,
- *Digit*: Signal zur Auswahl der aktiven 7-Segment-Anzeige, 0 → Einerstelle, 1 → Zehnerstelle

Anforderungen

1. Durch Drücken der Taster wird der Zählerstand um eins erhöht bzw. verringert.
2. Wird ein Taster gedrückt gehalten, beginnt der Zählerstand nach einer Sekunde automatisch jede Achtelsekunde um eins zu steigen bzw. zu fallen.
3. Gleichzeitiges Drücken der beiden Taster kann wahlweise wie das Drücken eines der beiden Taster interpretiert oder ignoriert werden.
4. Bei Überschreiten der oberen/unteren Grenzen soll der Zähler zur anderen Grenze springen.
5. Der aktuelle Zählerstand wird mit führender Null über die 7-Segment-Anzeigen angezeigt.
6. Die beiden 7-Segment-Anzeigen werden im Multiplexverfahren angesteuert.
7. Alle Ein- und Ausgangssignale (außer *Clk* und *Reset*) sind über Flip-Flops zu synchronisieren.

Empfohlene Teilschritte zur Realisierung

1. Entwurf eines asynchronen Takteilers mittels T-Flip-Flops.
2. Erweiterung des Takteilers, so dass er nur aktiv ist, solange ein Taster gedrückt wird.
3. Entwurf eines synchronen 4-Bit-Auf-/Abwärtszählers unter Verwendung von D-Flip-Flops.
4. Verknüpfung von Tastern, Takteiler und Zähler entsprechend den Anforderungen.
5. Entwicklung einer oder mehrerer Logikschaltung zur Ansteuerung der 7-Segment-Anzeigen in Abhängigkeit vom Zählerstand.

Zur Realisierung der beschriebenen Module stehen Logik-Gatter und Flip-Flops in der Standardzellenbibliothek zur Verfügung. Diese Gliederung des Entwurfs stellt nur eine Empfehlung dar.

Vorgehensweise

Es soll ein Schaltkreis auf Standardzellen-Basis unter Verwendung des Entwurfssystems „Tanner Custom IC Design Flow“ entworfen und verifiziert werden. Folgende Teilaufgaben sind dabei zu lösen:

1. Geeignete Unterteilung der Gesamtschaltung in einzelne Funktionseinheiten.
2. Bestimmung des Flächenbedarfs aller verfügbaren Gatter (DFFC, INV, Mux2, NAND2C, NAND3C, NOR2, NOR2C, NOR3C).
3. Entwurf der Module mit möglichst geringem Flächenbedarf. Logikoptimierung und -synthese entweder manuell oder mit Software-Werkzeugen, wie z. B. *Logic Friday* [2] oder *Yosys* [3]
4. Umsetzung der einzelnen Module und der resultierenden Gesamtschaltung als Schaltplan (Schematic) mit dem Schaltplan-Editor *S-Edit* (Schaltplan-Entwurf).
5. Simulation mit *T-Spice* zum Nachweis aller geforderten Funktionen mit möglichst wenigen Simulationen (mindestens eine Simulation je Modul und Top-Level). Gegebenenfalls Vereinfachung der Schaltung bei zu langen Simulationszeiten.
6. Platzierung und Verdrahtung der Standardzellen mit dem Layout-Tool *L-Edit*. Erzeugung von zwei Layoutversionen: eine mit Pads auf der linken und rechten Chipseite und eine mit Pads auf allen vier Seiten.
7. Überprüfung des Layoutentwurfs mittels Layoutverifikation auf Einhaltung der Entwurfsregeln und Vollständigkeit (DRC, LVS).
8. Dokumentation der Eigenschaften des entworfenen Schaltkreises in einem Datenblatt (für ein Beispiel siehe [6]).

Ziel

Ziel des Schaltkreisentwurfs ist es, die vorgegebene funktionale Spezifikation in zwei funktionsfähige, optimierte und herstellbare Standardzellen-Layouts umzusetzen. Die benötigte Chipfläche ist zu minimieren. Dafür ist der Flächenbedarf der verfügbaren Gatter beim Schaltungsentwurf zu berücksichtigen. So sollte bei mehreren äquivalenten Realisierungen einer Logikfunktion die mit der kleinsten Fläche ermittelt und verwendet werden.

Bei der Festlegung der Pad-Anordnung im Layout sind zwei Versionen zu realisieren:

1. Anordnung der Pads nur auf der linken und rechten Seite
2. Anordnung der Pads auf allen vier Seiten

Da der fertige Schaltkreis auf einer Leiterplatte zum Einsatz kommen wird, ist für **eines** der beiden Layouts ein passendes IC-Gehäuse auszuwählen. Die Pinbelegung des Gehäuses ist passend zur Pad-Anordnung des Layouts zu wählen. Für das gewählte Layout sind die Angaben zum Gehäuse und zur Pinbelegung in einem Datenblatt zu dokumentieren.

Ablauf der Übung

Neben den technischen Aufgaben soll die Projektarbeit trainiert werden. Immer vier Studierende bilden eine Gruppe. Dabei bearbeiten jeweils zwei Personen den Schaltkreisentwurf und zwei den Leiterplattenentwurf.

Zuerst wird ein Terminplan erstellt. In diesem Terminplan werden die zur Lösung notwendigen Teilaufgaben (z. B. Problem- und Anforderungsanalyse, Schaltungsentwurf, Simulation, Layoutentwurf, Verifikation, Dokumentation) jeweils mit einem **Datum** und dem **Bearbeiter** eingetragen. Anhand dieses Plans kann während der Aufgabenbearbeitung der aktuelle Bearbeitungsstand kontrolliert werden. Für entstehende Fragen stehen Konsultationstermine zur Verfügung.

Im Einzelnen sind folgende Aufgaben zu bearbeiten:

- Problem- und Anforderungsanalyse
- Entwurf des Schaltplans mit möglichst geringem Flächenbedarf, z. B. mit der plattformunabhängigen Open-Source-Software *Logisim Evolution* [1]. Logikoptimierung und -synthese entweder manuell oder mit Software-Werkzeugen, wie z. B. *Logic Friday* [2] oder *Yosys* [3]. Generierte Module mit mehr als 20 Gattern sind geeignet aufzuteilen.
- Festlegung der Stimuli für die spätere Simulation der Schaltung, z. B. mittels Bit-Quellen [4]
- Im PC-Kabinett: Eingabe des Schaltplans, Simulation, Erstellen der beiden Layoutvarianten, Layoutverifikation (DRC, LVS), Erzeugen der Ergebnisdaten (siehe Abschnitt „Einzureichende Unterlagen“ auf der nächsten Seite)
- Dokumentation der Eigenschaften des entworfenen Schaltkreises in einem Datenblatt
- Erstellen des Belegs

Termine

Die Termine entnehmen Sie bitte dem Dokument www.ifte.de/lehre/rechn_entwurf/ablauf_SS25_GMM.pdf.

ERGEBNISSE

Alle Lösungswege sind nachvollziehbar zu dokumentieren. Die Dateien müssen zugeordnet werden können. Dazu ist gegebenenfalls eine Beschreibung anzufügen.

Einzureichende Unterlagen

Die Projektdokumentation sollte folgende Unterlagen in ausgedruckter Form umfassen:

- Titelblatt mit Namen der Bearbeiter,
- Gliederung der Arbeit,
- Terminplan,
- Dokumentation Schaltkreisentwurf:
 - Dokumentation der Problemanalyse, des Lösungswegs und eigener Überlegungen bei Schaltungsentwurf, Simulation und Layout-Optimierung, sowie Diskussion aufgetretener Probleme,
 - Dokumentation des Entwurfsergebnisses: Abbildungen der Schaltpläne¹ (*keine* Testbenches; *keine* Abbildungen der Symbole einzelner Zellen), der Simulationsergebnisse, der beiden fertigen Layouts und eines Layout-Schnitts²,
 - Dokumentation des Schaltkreises in einem Datenblatt: Funktionsbeschreibung, Pinbelegung, Charakterisierung aller Ein- und Ausgangssignale, Name und Abmessungen des gewählten Gehäuses [5]; für ein Beispiel-Datenblatt siehe [6],
- Quellenverzeichnis.

Zusätzlich sind folgende Dateien abzugeben:

- Tanner-Projektdateien des Schaltkreisentwurfs,
- Log-Dateien von LVS und GDS-II-Export,
- Ergebnisdateien für IC-Herstellung (GDS-II-Dateien),
- sonstige Quelldateien von Programmen, die zur Problemlösung benutzt wurden.

Bitte laden Sie Ihre Ergebnisse (Dokumentation, Projektdaten) als ZIP-Archiv unter folgender Adresse hoch: www.ifte.de/lehre/rechn_entwurf/uebung/upload-ic.html.

Die Dateien müssen zugeordnet werden können. Dazu ist gegebenenfalls eine README-Datei anzulegen. Die Projektdateien müssen mit den in der Übung verwendeten Programmversionen gelesen werden können.

¹ Zum Export der Schaltpläne empfiehlt sich der Ausdruck in eine PDF.

² Der Layout-Schnitt sollte für einen kleineren Ausschnitt des gesamten Layouts (z. B. eine einzelne Standardzelle) durchgeführt werden. [4]

PRÜFUNG

Zum Zeitpunkt der mündlichen Prüfung erfolgt die Verteidigung des Projekts. Diskussionsgrundlage bilden die eingereichten Unterlagen. Zu diesem Termin sollten alle Mitarbeiter eines Teams über das gesamte Projekt (also auch über die andere, nicht selbst bearbeitete Teilaufgabe) auskunftsfähig sein und getroffene Entscheidungen begründen können.

Konkret gliedert sich die Prüfung in die Teile:

- Vorstellung der Ergebnisse der beiden Aufgaben durch die Gruppe in einem jeweils fünfminütigen Kurzvortrag,
- Beantwortung von Fragen zum Projekt durch die Gruppe,
- Prüfungsfragen zur Vorlesung „Rechnergestützter Entwurf“.

Die Abschlussnote setzt sich aus der Bewertung des Belegs und der mündlichen Prüfung zusammen.

GLOSSAR

| | | |
|-----------|-----|---|
| DRC | ... | D esign R ule C heck – Überprüfen des Layouts auf das Einhalten von technologischen Entwurfsregeln |
| EDA | ... | E lectronic D esign A utomation – Automatisierung des Elektronik-Designs |
| Flip-Flop | ... | 1-Bit-Speicherelement |
| IC | ... | I ntegrated C ircuit – Integrierter Schaltkreis |
| LVS | ... | L ayout V ersus S chematic – Überprüfen der Gleichheit von Layout und Schematic (Schaltplan) |
| routen | ... | Verlegen von Leiterbahnen |
| Schematic | ... | Schaltplan |

QUELLEN- UND LITERATURVERZEICHNIS

- [1] Logisim Evolution: <https://github.com/logisim-evolution/logisim-evolution> (14.4.2025)
- [2] Logic Friday: <https://web.archive.org/web/20180204131842/http://sontrak.com> (14.4.2025)
- [3] Yosys: <https://yosyshq.net/yosys/> (14.4.2025)
- [4] Allgemeine Hinweise zum Schaltkreisentwurf: https://www.ifte.de/lehre/rechn_entwurf/uebung/Allgemeine_Hinweise_zum_Schaltkreisentwurf.pdf (14.4.2025)
- [5] Katalog von IC-Gehäusen: <https://www.newark.com/pdfs/techarticles/onSemi/CASERM-D.pdf> (14.4.2025)
- [6] Beispiel-Datenblatt: https://assets.nexperia.com/documents/data-sheet/74HC_HCT4520.pdf (14.4.2025)
- [7] Fehlersuche beim Schaltkreisentwurf mit dem „Tanner Custom IC Design Flow“: https://www.ifte.de/lehre/rechn_entwurf/uebung/Fehlersuche_Tanner.pdf (14.4.2025)
- [8] Onlinedokumentation des „Tanner Custom IC Design Flow“ (auf Übungs-PCs verfügbar)