

FEHLERSUCHE BEIM SCHALTKREISENTWURF MIT TANNER EDA TOOLS

PROBLEM: BEIM LADEN DES DESIGNS IN S-EDIT ERSCHEINT DIE MELDUNG „DESIGN NOT FOUND“

Diese und ähnliche Probleme entstehen durch die Verwendung von Umlauten in den Namen von Designs (Libraries), Zellen (Cells) und Ansichten (Views). Umlaute sollten also im Zusammenhang mit den Tanner EDA Tools nicht benutzt werden.

Sollte ein Design Umlaute im Namen enthalten, so kann über den Menüpunkt *File* → *Save* → *Save Copy of 1 Selected Design/Libraries* eine Kopie mit einem neuen Namen (ohne Umlaute) erstellt werden.

Zellen in einem Design können über den Menüpunkt *Cell* → *Rename Cell...* umbenannt werden.

Bei der Erstellung von Ansichten (Views), z. B. „symbol“ und „schematic“, kann ebenfalls ein eigener Name vergeben werden. Wurden dabei Umlaute verwendet, kann dieser Name im Nachhinein über den Menüpunkt *Cell* → *Rename View...* geändert werden.

PROBLEM: SIGNALE BEWEGEN SICH WÄHREND DER SIMULATION IM BEREICH VON WENIGEN MILLI-VOLT

Beinhaltet die Testbench die Spannungsversorgung unter Verwendung der vorgegebenen Spice-Symbole? Es muss eine DC-Spannungsquelle mit 5 V vorhanden sein, die mit den Vdd- und Gnd-Symbolen verbunden ist.

Besitzen die I/O-Ports im Schaltplan und im Symbol des Moduls dieselben Namen? Eine falsche Benennung eigentlich zusammen gehörender Ports führt zu nicht verbundenen Netzen.

PROBLEM: SIGNALE ERREICHEN NICHT DEN VOLLEN HIGH- BZW. LOW- PEGEL, SONDERN BEWEGEN SICH DAZWISCHEN

Sind mehrere Gatterausgänge mit dem entsprechenden Netz verbunden? Zur Überprüfung kann nach der Auswahl des Netzes der Menüpunkt *Tools* → *Highlight Net* genutzt werden.

Zum schnelleren Auffinden einer falschen Verbindung kann das Netz an strategisch günstigen Positionen durch Auswahl des Menüpunktes *Draw* → *Electrical* → *Connect/Disconnect* aufgetrennt und später wieder verbunden werden. Die entstandenen Teilnetze können dann erneut durch Hervorhebung auf eine elektrische Verbindung geprüft werden.

PROBLEM: FLIP-FLOPS VERHALTEN SICH ANDERS ALS ERWARTET

Eine Ursache können zu langsame Anstiegs- und Abfallzeiten von Taktquellen sein. Sie sollten im Bereich um 5 ns liegen, unabhängig von der eingestellten Periodendauer. Ansonsten werden Pegelwechsel nicht mehr zuverlässig als Flanken erkannt, was u. U. zu Fehlfunktionen getakteter Schaltungselemente führt.

PROBLEM: TAKTSIGNALE WERDEN BEI DER SIMULATION NICHT KORREKT ANGEZEIGT

Möglicherweise wurde die Zeit zwischen zwei Abtastpunkten („Maximum Time Step“) zu groß gewählt. Eine Verletzung des Abtasttheorems bewirkt eine falsche Darstellung von Signalen – z. B. zeigen Taktsignale einen chaotisch wirkenden Wechsel zwischen den beiden Pegeln.

PROBLEM: SPR-SETUP IN L-EDIT BRICHT MIT FEHLERMELDUNG „TPR NETLIST READING: ...“ AB

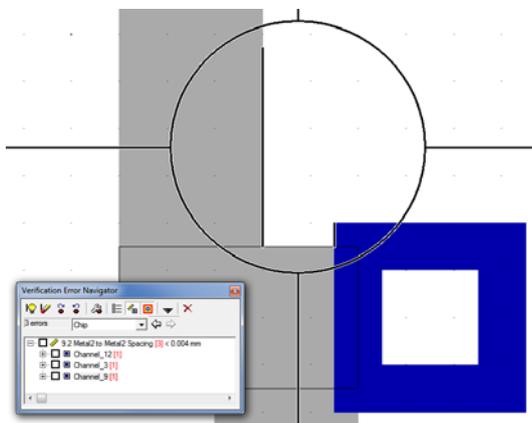
Beim Export der TPR-Datei darf der Schaltplan keine Spice-Elemente mehr beinhalten. Das betrifft zum Beispiel Spannungs- und Stromquellen, die für die Simulation verwendet wurden, oder Vdd- und Gnd-Symbole zur Fixierung des Potentials eines Gattereingangs. In diesen Fällen tritt in L-Edit während des SPR-Setups der Fehler „TPR netlist reading: No pins in Cell Definition.“ auf. Das Löschen aller Spice-Elemente behebt den Fehler.

Zur Erzeugung eines festen Potentials (Vdd oder Gnd) können der invertierte und nicht-invertierte Ausgang eines Flip-Flops oder einer Pad-Zelle mit einem OR- bzw. NOR-Gatter verknüpft werden.

PROBLEM: DRC IN L-EDIT ERGIBT ZAHLREICHE OFFGRID-FEHLER

Über den Menüpunkt *Draw* → *Convert* → *Snap to Manufacturing Grid...* können sämtliche Polygone (Auswahl „All objects in the file“) korrekt am Raster ausgerichtet werden.

PROBLEM: DRC IN L-EDIT ERGIBT FEHLER WEGEN ZU GERINGEN ABSTANDES ZWEIER METAL2-STRUKTUREN METAL2 TO METAL2 SPACING < 0.004 MM



Nach der Verdrahtung der Kanäle existieren vereinzelt Vias, die nur auf einer Seite angeschlossen sind. Sie besitzen keine elektrische Funktion, bewirken jedoch den beschriebenen DRC-Fehler.

Nach Auswahl des Fehlers im *Navigator* sollte der betroffene Verdrahtungskanal im Top-Level-Kontext geöffnet werden. Sollte das Via tatsächlich nur auf einer Seite angeschlossen sein und somit nicht benötigt werden, können nun die einzelnen Bestandteile des Vias (auf den Layern Via, Metal1 und Metal2) per Mausklick ausgewählt und mit der Entfernen-Taste gelöscht werden. Dadurch wird der Fehler behoben.

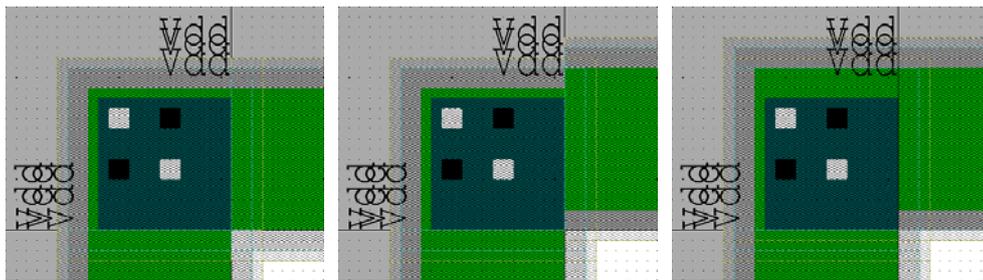
PROBLEM: DRC IN L-EDIT ERGIBT FEHLER WEGEN ZU GERINGEN ABSTANDES ZWEIER WANNEN WELL TO WELL (SAME POTENTIAL) SPACING < 6 LAMDA

In diesem Fall müssen die drei zum Pad-Ring gehörenden Ebenen

- Active (grün),
- N Well (gelbe Umrandung, Fläche mit Punktlinie schraffiert) und
- N Select (blaue Umrandung, Fläche mit Punktlinie schraffiert)

direkt in der Umgebung des Fehlers nach außen verschoben werden, um den Abstand auf 6 Lambda (entspricht 6 μm) zu vergrößern. An den Ecken werden die Übergänge durch Einfügen neuer Rechtecke im Top-Level angeglichen. Die PadCorner-Zellen selbst sollten nicht verändert werden!

Um die Rechtecke auswählen zu können, muss mit der Bild \downarrow -Taste in der Hierarchie nach unten gegangen werden. Ansonsten lassen sich nur der Core und der Frame auswählen. Mit der linken oder rechten Maustaste lassen sich dann die Rechtecke auswählen und mit der mittleren Maustaste verschieben. Bei gedrückter Strg-Taste können mit der linken oder rechten Maustaste Kanten der Rechtecke ausgewählt werden, die dann wieder mit der mittleren Maustaste verschoben werden können. Die folgenden Abbildungen verdeutlichen die einzelnen Schritte.



Vor der Änderung (links), nach der Verschiebung der betroffenen Rechtecke nach oben (Mitte) und nach der Angleichung der Außenkanten durch Einfügen neuer Rechtecke in den Ecken, so dass die Übergänge bündig sind (rechts).