

IC-Layoutentwurf vor neuen Herausforderungen

Jens Lienig, Pasadena/USA

Der physikalische Layoutentwurf von Schaltkreisen steht auf dem Weg zu immer kleiner werdenden Strukturabmessungen ständig wachsenden Anforderungen gegenüber. Die Entwickler von IC-Entwurfswerkzeugen ringen nach neuen Konzepten, um mit der technologischen Entwicklung Schritt zu halten. Mit weiterentwickelten Platzierungs- und Verdrahtungsmodulen in der neuesten Version eines bekannten IC-Entwurfswerkzeuges gelang nun ein wichtiger Schritt in die richtige Richtung.

Die Anzahl der Gatter auf integrierten Schaltkreisen verdoppelt sich nach wie vor alle 18 Monate (»Moore's Law«). Diese Komplexitätserhöhung hat weitreichende Konsequenzen für den Layoutentwurf und damit auch für die Entwickler von Layoutwerkzeugen (Design-Tools). Gerade in den letzten Jahren öffnete sich die Schere zwischen den technologischen Möglichkeiten und dem durch die Entwurfswerkzeuge praktisch Realisierbaren weiter.

Die Einbettung der Platzierung und Verdrahtung in den Layoutentwurf mit-

zellenmodul (L-Edit/SPR), das die Platzierung und Verdrahtung von Standardzellen erlaubt, sowie ein Blockentwurfsmodul (L-Edit/BPR), welches die Platzierung und Verdrahtung unterschiedlicher Blöcke (zum Beispiel Makrozellen oder Blöcke mit Standardzellen) ermöglicht.

Herausforderungen und Lösungsmöglichkeiten

Die Herausforderungen an einen EDA-Toolhersteller (Electronic Design Automation) sind vielfältig und lassen sich aufgrund unterschiedlicher Marktanforderungen nur schwer untereinander vergleichen. Nachfolgend werden einige der Anforderungen aufgeführt, mit denen sich Tanner EDA bei der Weiterentwicklung der Platzierungs- und Verdrahtungsmodulen in »L-Edit« konfrontiert sah.

drahtung bestimmte Netze in die dritte Ebene »verschoben«.

Der Kanalverdrahter in L-Edit/SPR geht dabei folgendermaßen vor: Zwei Netzsegmente, die sich horizontal überlappen, aber keine vertikalen Anschlußsegmente mit gegenseitigen Überlappungen haben, können auf identischen Kanalspuren in unterschiedlichen Ebenen platziert werden. Basierend auf L-Edits »Horizontal-vertikal-horizontal« (HVH)-Verdrahtungsmodell, wird dabei ein Segment auf die erste Ebene und das andere auf die dritte Ebene gelegt. Ein abgestimmter Auswahlalgorithmus sorgt dafür, daß diese Netzverschiebung mit maximalen Einsparungen an Netzlänge und damit benötigter Kanalfläche einhergeht.

Eine weitere Flächeneinsparung läßt sich erreichen, wenn man die Ebene(n) über den Standardzellen für die Verdrahtung ausnutzt. Diese sogenannte »Over-the-cell«-(OTC)-Verdrahtung nutzt belegte Spuren in Metal3, die sich über den Standardzellen befinden (Bild 2). Ein spezieller Sortieralgorithmus untersucht dabei die Netzsegmente der benachbarten Kanäle und verschiebt besonders geeignete Netzsegmente in den OTC-Bereich.

Die mit L-Edit/SPR erreichten Flächeneinsparungen gegenüber einer herkömmlichen Zweilagenvdrdrahtung sind anhand eines Beispielschaltkreises mit 1000 Standardzellen in Tabelle 1 veranschaulicht. Der weitere Spurbstand bei der Dreilagenvdrdrahtung resultiert aus den größeren Entwurfsregeln in Metal3, die aufgrund des zugrundeliegenden Algorithmus den Spurbstand

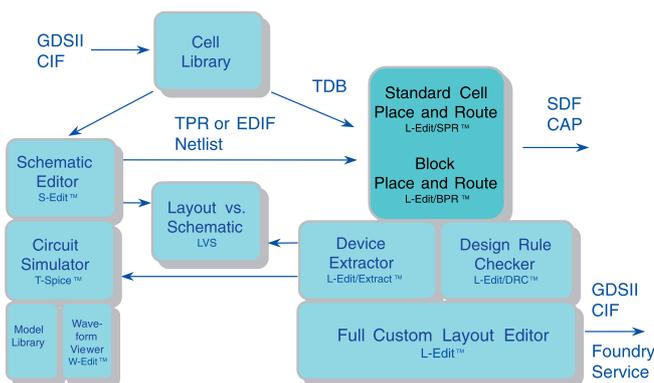


Bild 1. Platzierung und Verdrahtung innerhalb der »Tanner-Tools-Pro«-Suite

tels der »Tanner-Tools-Pro«-Suite veranschaulicht Bild 1. Hierbei handelt es sich um aufeinander abgestimmte Design-Tools, die von Tanner EDA, Pasadena (in Deutschland vertreten durch Amtec, Chemnitz) entwickelt wurden [1]. Zur Platzierung und Verdrahtung stehen dem Anwender zwei unterschiedliche Komponenten zur Verfügung: ein Standard-

Verfügbarkeit einer dritten Verdrahtungsebene abgelöst. Die meisten Verdrahtungsprogramme für drei Verdrahtungsebenen sind Erweiterungen herkömmlicher Zweiebenenrouter, wobei oft sogenannte »Merging-Algorithmen« zur Anwendung kommen: Basierend auf sorgfältig ausgewählten Kriterien werden im Anschluß an eine Zweilagenv-

auch auf den anderen Ebenen erweitern.

Clocknetze

Steigende Clockfrequenzen verbunden mit wachsenden Layoutgrößen stellen gesonderte Anforderungen an die Verdrahtung von Clocknetzen. So muß beispielsweise bei Clocksignalen sichergestellt werden, daß die entsprechenden Signale an allen Gattern fast gleichzeitig ankommen. Bei Schaltungen von mehreren zehntausend Gattern kann das oftmals nur durch eine angepaßte Anzahl von Treiberstufen sowie »symmetrischen Netzverläufen« erreicht werden.

L-Edit/SPR behandelt Clocknetze gesondert, um diesen Anforderungen gerecht zu werden. Dazu werden spezielle Busleitungen am Rande der Standardzellen benutzt, über die die Clocksignale

	2-Lagen-Verdrahtung	3-Lagen-Verdrahtung (ohne OTC)	3-Lagen-Verdrahtung (mit OTC)
Spurabstand im Kanal [µm]	2,8	3,5	3,5
Chipgröße [mm²]	3,45	2,61	2,55
Reduzierung der Chipgröße	-	25%	27%

Tabelle 1. Vergleich von Zweilagen- und Dreilagenverdrahtung anhand einer Schaltung mit 1000 Standardzellen (MOSIS/HP-n-well-0,5-µm-Prozßtechnologie)

maßgeblich durch den Leiterzug bestimmt. Doch nicht nur Signallaufzeiten sind zu berücksichtigen, auch Verkoppelungen zwischen benachbarten Leiterzügen und andere elektromagnetische Effekte bereiten dem Layouter Probleme.

Entwurfswerkzeuge müssen dem Rechnung tragen, indem sie dem Anwender die Möglichkeit geben, Netze nach ihrem Wichtigkeitsgrad zu bewer-

den. Die Verdrahtungslänge und -nachbarschaft als alle danach noch möglichen Variationen der Verdrahtung.

L-Edit/SPR erlaubt die Festlegung sogenannter »Criticality-Werte« für Netze. Das Platzierungsprogramm gewichtet jedes Netz mit diesen Werten während des Platzierungsvorganges und kann so eine global abgestimmte Optimierung bezüglich dieser Netze erreichen. Wesentliches Optimierungskriterium ist die jeweilige Netzlänge, aber auch andere Faktoren lassen sich berücksichtigen.

Sollte der Entwickler spezielle Anforderungen haben, die mittels einer flexiblen Criticality-Bewertung nicht genügend beeinflußt werden können, so hilft meist eine Clustering-Methode: Der Designer legt dabei konkret fest, welche Standardzellen unmittelbar nebeneinander platziert werden sollen. Der automatische Platzierer faßt diese Cluster dann als eine Einheit auf und platziert sie so als eine Komponente.

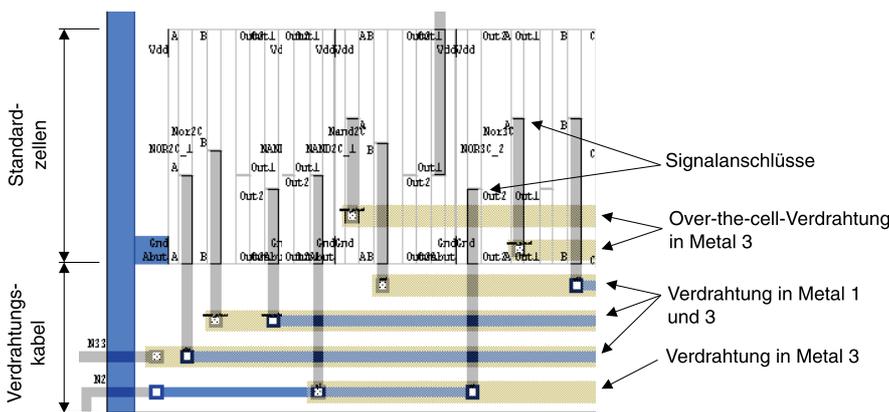


Bild 2. Layoutausschnitt mit Dreilagen- und Over-the-cell-Verdrahtung

verteilt werden. Treiberstufen am linken und rechten Rand der Zellenreihen stellen sicher, daß die Signalstärke der Anzahl der angeschlossenen Gatter entspricht. Diese Treiber werden wiederum von vertikalen Leiterelementen (Rails), die sich links und rechts vom Standardzellenblock befinden, gespeist (Bild 3). Damit wird eine Symmetrieanordnung erreicht, die den hohen Anforderungen an Clocksignalen weitestgehend gerecht wird.

Spezielle Berücksichtigung kritischer Netze

Die Verfeinerung der Strukturabmessungen hat weitreichende Konsequenzen für die Verdrahtung: Verdrahtungsbahnen werden länger, die Verdrahtungsdichte nimmt zu, und während vor Jahren noch die Verzögerung innerhalb der Gatter dominierte, wird die Signallaufzeit heute

ten und so deren Verlauf und »Nachbarschaft« zu beeinflussen. Diese Daten müssen schon bei der Platzierung berücksichtigt werden, denn die dabei festgelegte Anordnung der Komponenten hat mehr Einfluß auf die resultieren-

Hierarchischer Entwurf: Block für Block

Bedingt durch die stetige Zunahme der Anzahl der Gatter wird ein wachsender Zeitaufwand beim physikalischen Entwurf mit Iterationen zwischen Platzierung und Signalsimulation verbracht. Die Aufspaltung einer großen Schaltung in einzelne Blöcke, die hierarchisch entworfen

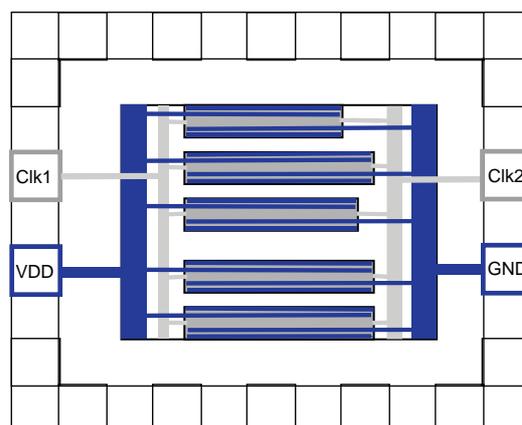


Bild 3. Clock- und Powerverdrahtung in L-Edit/SPR

— Metal 1 Ebene
— Metal 2 Ebene

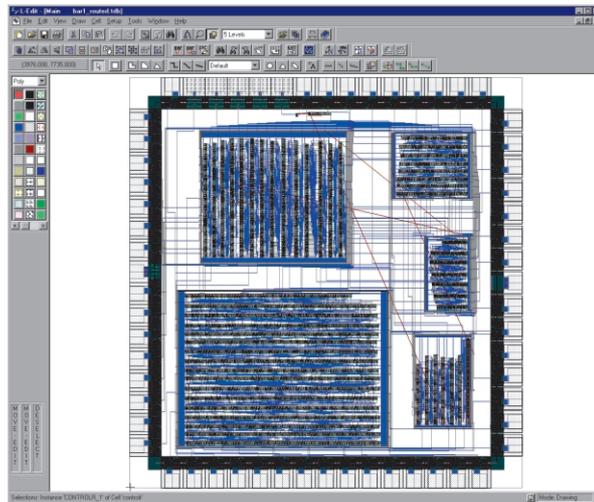


Bild 4. L-Edit/BPR erlaubt die Platzierung und Verdrahtung von Blöcken, die beispielsweise mit dem Standardzellentool L-Edit/SPR erstellt wurden

und verifiziert werden, kann die Problemkomplexität drastisch verringern. Jeder Block läßt sich einzeln bearbeiten und anschließend mit anderen Blöcken oder anderen Komponenten vereinigen.

Vor diesem Hintergrund hat Tanner EDA ein neuartiges Blockkonzept entwickelt, welches als L-Edit/BPR vor kurzem auf den Markt kam. Dieses erlaubt eine hierarchische Blockbehandlung, einschließlich Floorplanning, bei ständiger Beobachtung von Randbedingungen, wie Signallaufzeiten.

Eingangskomponenten sind entweder einzelne Zellen, Speicherbausteine oder Blöcke, die beispielsweise mit L-Edit/SPR aus Tausenden Standardzellen gebildet wurden (Bild 4). Die aus diesen Komponenten zusammengesetzte Schaltung kann dann wiederum Grundbaustein in einer höheren Hierarchiestufe sein und so fort.

Es gilt, die bei der blockweisen Platzierung und Verdrahtung vorkommenden globalen Leiterzüge (im Gegensatz zu den lokalen Verdrahtungen innerhalb der Blöcke), aufgrund ihrer großen Länge und Wichtigkeit, ständig bezüglich des Signalverhaltens zu beobachten. Daher ist L-Edit/BPR mit einem Tool zur Analyse von Timing und Signalintegrität ausgestattet, welches eine effektive Bestimmung von Signalparametern während des Entwurfs zuläßt.

Dem Designer werden dabei zwei Möglichkeiten gegeben: Zum einen lassen sich Signallaufzeiten von bereits verdrahteten oder noch unverdrahteten Leiterzügen (letztere durch Annahme des wahrscheinlichsten Verdrahtungsverlaufs) bestimmen. Zum anderen kann das Zeitverhalten von einzelnen Netzen untersucht werden. Dazu wird für die

selektierten Netze eine Netzliste im SPICE-Format erstellt, die ein externer SPICE-Simulator untersuchen kann.

Ausblick

Es wurde an einigen Beispielen gezeigt, wie sich L-Edit (Version 8) zur Platzierung und Verdrahtung von ICs eignet. Daß das aber nur der Beginn von drastischen Veränderungen ist, zeigt die Roadmap für Integrierte Schaltkreise NTRS [2]: Diese prognostiziert für das Jahr 2006 Schaltkreise mit 40 Millionen Transistoren bei Schaltgeschwindigkeiten von nahezu 4GHz. Herausforderungen wie diese können nur dann erfolgreich gelöst werden, wenn die Hersteller von Entwurfswerkzeugen grundlegend neue Vorgehensweisen und Entwicklungsmethoden bereitstellen. Untereinander integrierte Entwurfsschritte, die Verifizierung der Schaltungseigenschaften parallel zu allen Entwurfsschritten sowie eine hierarchische Blockbehandlung sind nur einige der Möglichkeiten, die es hierbei zu berücksichtigen gilt.

Literatur

<http://www.tanner.com/eda>
The National Technology Roadmap for Semiconductors, Semiconductor Industry Association, 1997

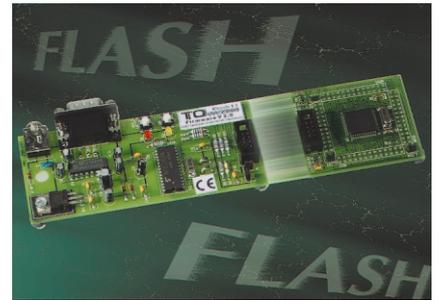
Autor

Dr.-Ing. habil. Jens Lienig, Jahrgang 1961, studierte Feinwerktechnik am Institut für Elektronik-Technologie an der Technischen Universität Dresden und promovierte dort 1991. Danach arbeitete er als Postdoktorand an der Concordia University in Montreal, Kanada, und als Visiting Assistant Professor an der University of Virginia, USA. Seit 1996 arbeitet er bei Tanner Research Inc., Pasadena, USA, wo er als Project Manager für L-Edit/SPR verantwortlich ist.

Schnelle Evaluierungs-Plattform

Eine neue Entwicklungsplattform von Toshiba, Düsseldorf, vereinfacht das Design und den Test von Embedded-Systemen, die um die jüngsten 16-Bit-Mikrocontroller mit On-board-Flashspeicher des Unternehmens herum gebaut worden sind. Der Flash-Startkit TOPAS900 bietet umfassende Evaluierungs- und Testfunktionalität einschließlich In-Circuit-Debugging und Flash-Programmierung vor Ort; er enthält die gesamte Hardware, Software und Dokumentation, die zum raschen Design, Testen und zur Implementierung von auf Toshiba's Flash-MCU TMP95FY64 basierenden Applikationen benötigt wird.

Toshibas Flash-Startkit TOPAS900 bietet eine »Plug & Play«-Entwicklungsumgebung, mit der der Entwickler zuvor gebaute Projekte kompilieren, Programmbeispiele herunterladen, deren Fehler erkennen und beheben sowie den On-



chip-Flashspeicher der MCU programmieren kann. Der Kit umfaßt eine Evaluierungs- und Programmierplatine für die Flash-MCU TMP95FY64, Toshiba's C-Compiler und TMPro-Debugger sowie das Tool-Paket TLCS-900 von IAR Systems. Eine vollständige Software-Bibliothek sowie eine CD-ROM mit der gesamten unterstützenden Dokumentation ist ebenfalls enthalten.

Mit den Abmessungen von lediglich 51x56mm² ist das Flash-Trägerboard des TOPAS900 mit der MCU TMP95FY64, 128kByte SRAM und zusätzlichen 512kByte Flash-EEPROM von der Evaluierungsplatine abtrennbar und ergibt dann einen Single-Board-Computer. Die verbleibende Hardware, die über ein 10-Pin-Flachbandkabel mit dem Flash-Trägerboard verbunden ist, bildet die Schnittstelle zum Host-PC und wird zum Flash-Programmierboard.